

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年 8月27日

出願番号

Application Number:

特願2002-247346

[ST.10/C]:

[JP2002-247346]

出願人

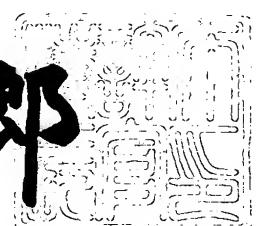
Applicant(s):

富士通株式会社

2003年 2月21日

特許庁長官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3009346

【書類名】 特許願

【整理番号】 0241068

【提出日】 平成14年 8月27日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 11/22

【発明の名称】 不揮発性データ記憶回路を有する集積回路装置

【請求項の数】 10

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通  
株式会社内

【氏名】 横関 亘

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通  
株式会社内

【氏名】 樹井 昇一

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100094525

【弁理士】

【氏名又は名称】 土井 健二

【選任した代理人】

【識別番号】 100094514

【弁理士】

【氏名又は名称】 林 恒徳

【手数料の表示】

【予納台帳番号】 041380

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704944

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 不揮発性データ記憶回路を有する集積回路装置

【特許請求の範囲】

【請求項1】 集積回路装置において、

第1の電源配線と第2の電源配線との間に設けられ、第1の閾値電圧のトランジスタで構成されスリープモード時に非導通になるスリープスイッチと、

前記第2の電源配線に接続され、前記第1の閾値電圧より低い第2の閾値電圧のトランジスタで構成されるラッチ回路と、

前記ラッチ回路が保持するデータを強誘電体膜の分極方向に応じて記憶する強誘電体キャパシタと、

前記スリープモードからアクティブモードに復帰するときに、前記強誘電体キャパシタの端子を駆動して分極方向に応じて前記ラッチ回路に電圧を生成するプレート信号と、その駆動された後に前記スリープスイッチを導通させて前記ラッチ回路を活性化させるスリープ信号とを生成する制御信号発生回路とを有することを特徴とする集積回路装置。

【請求項2】 集積回路装置において、

第1の電源配線と第2の電源配線との間に設けられ、第1の閾値電圧のトランジスタで構成されスリープモード時に非導通になるスリープスイッチを有し、当該第1及び第2の電源配線及びスリープスイッチは、高電源配線側と低電源配線側にそれぞれ設けられ、

更に、前記高電源線側の第2の電源配線と前記低電源線側の第2の電源配線に接続され、前記第1の閾値電圧より低い第2の閾値電圧のトランジスタで構成されるラッチ回路と、

前記ラッチ回路が保持するデータを強誘電体膜の分極方向に応じて記憶する強誘電体キャパシタと、

前記スリープモードからアクティブモードに復帰するときに、前記強誘電体キャパシタの端子を駆動して分極方向に応じて前記ラッチ回路に電圧を生成するプレート信号と、その駆動された後に前記高電源配線側と低電源配線側の1対のスリープスイッチを導通させて前記ラッチ回路を活性化させるスリープ信号とを生

成する制御信号発生回路とを有することを特徴とする集積回路装置。

【請求項3】請求項1または2において、

前記強誘電体キャパシタは、前記ラッチ回路の1対の記憶端子それぞれに一方の端子が接続された少なくとも1対の強誘電体キャパシタを有し、前記プレート信号は、前記強誘電体キャパシタの他方の端子に供給されて、前記強誘電体キャパシタの分極方向に応じた電圧が、前記ラッチ回路の1対の記憶端子に生成されることを特徴とする集積回路装置。

【請求項4】請求項1または2において、

前記強誘電体キャパシタは、前記ラッチ回路の1対の記憶端子それぞれに一方の端子が接続された2対の強誘電体キャパシタを有し、前記ラッチ回路の各記憶端子に接続される強誘電体キャパシタ対のうち、一方の強誘電体キャパシタの他方の端子が、プレート信号により駆動されて、各記憶端子に接続される強誘電体キャパシタ対の分極方向に応じた電圧が、前記ラッチ回路の1対の記憶端子に生成されることを特徴とする集積回路装置。

【請求項5】請求項1または2において、

更に、前記強誘電体キャパシタと前記ラッチ回路との間に設けられ、前記スリープモードからアクティブモードに復帰するときに導通し、アクティブモード中は非導通になるスイッチ回路を有することを特徴とする集積回路装置。

【請求項6】請求項1または2において、

更に、前記強誘電体キャパシタの一方の端子に設けられ、前記スリップモードからアクティブモードに復帰するときに導通して、前記強誘電体キャパシタの一方の端子のレベルを所定レベルにリセットするリセット回路を有することを特徴とする集積回路装置。

【請求項7】請求項1において、

前記ラッチ回路と強誘電体キャパシタとを有する不揮発性ラッチ回路を有する不揮発性領域と、

前記ラッチ回路を有し前記強誘電体キャパシタが付設されていない揮発性ラッチ回路を有する揮発性領域とを有し、

前記不揮発性領域のラッチ回路には、前記スリープモード時に停止するクロッ

クが供給されることを特徴とする集積回路装置。

【請求項8】請求項1において、

前記ラッチ回路と強誘電体キャパシタとを有する不揮発性ラッチ回路を有する不揮発性領域と、

前記ラッチ回路を有し前記強誘電体キャパシタが付設されていない揮発性ラッチ回路を有する揮発性領域とを有し、

前記不揮発性領域の各ラッチ回路には、クロックをスリープモード制御信号に応じて供給するクロックゲート回路が、それぞれ設けられていることを特徴とする集積回路装置。

【請求項9】請求項1において、

複数の回路ブロックを有し、

各回路ブロックには、前記スリープスイッチ、前記ラッチ回路、前記強誘電体キャパシタ、及び前記制御信号発生回路がそれぞれ設けられ、

更に、前記制御信号発生回路にそれぞれスリープモード制御信号を供給する電源管理回路を有することを特徴とする集積回路装置。

【請求項10】集積回路装置において、

第1の電源配線と第2の電源配線との間に設けられ、第1の閾値電圧のトランジスタで構成されスリープモード時に非導通になるスリープスイッチと、

前記第2の電源配線に接続され、前記第1の閾値電圧より低い第2の閾値電圧のトランジスタで構成されるラッチ回路と、

前記第2の電源配線に接続され、前記第2の閾値電圧のトランジスタで構成される組み合わせ回路と、

前記スリープモード時に、前記ラッチ回路が保持するデータを記憶する不揮発性データ保持回路と、

前記スリープモードからアクティブモードに復帰するときに、前記不揮発性データ保持回路の状態に応じて前記ラッチ回路に電圧を生成するリコール信号と、その後に前記スリープスイッチを導通させて前記ラッチ回路を活性化させるスリープ信号とを生成する制御信号発生回路とを有することを特徴とする集積回路装置。

## 【発明の詳細な説明】

## 【0001】

## 【発明の属する技術分野】

本発明は、低消費電力を可能にするマルチ閾値電圧CMOSにおける不揮発性データ記憶回路を有する集積回路装置に関し、特に、電源レイアウトを簡単化でき、且つデータのリコール動作での誤動作を回避できる集積回路装置に関する。

## 【0002】

## 【従来の技術】

LSI（集積回路装置）における低消費電力化技術として、マルチ閾値電圧CMOS（MTCMOS：Multi-Threshold-Voltage CMOS）が提案されている。このMTCMOS技術では、例えば、後述する非特許文献1に記載されるとおり、低V<sub>th</sub>トランジスタの高い電流駆動能力と、高V<sub>th</sub>トランジスタの低リーク性とを利用して、高速動作で且つ低消費電力を可能にする。例えば、所定の機能を有する組合せ論理回路を低V<sub>th</sub>トランジスタで構成することで高速動作を可能にする。但し、低V<sub>th</sub>トランジスタでは、スタンバイ時やスリープモード時（以下スリープモード）においてリーク電流が発生して、消費電力の増大を招く。そこで、高い電源VDDまたは低い電源VSSとスリープスイッチを介して接続される擬似電源線（バーチャル電源線）を設け、この擬似電源線に組合せ論理回路を接続し、スリープモードでは、スリープスイッチをオフにして、リーク電流を抑える。スリープスイッチは、高V<sub>th</sub>トランジスタで構成されるので、オフ時のリーク電流の発生を抑制することができる。

## 【0003】

このように、MTCMOS技術によれば、スリープモード時には、一部または全ての回路のスリープスイッチをオフにして、リーク電流を抑えることができるが、電源電圧が供給されないので、回路内のラッチやフリップフロップが保持していたデータが揮発してしまう問題がある。

## 【0004】

このような問題を解決する技術として、バルーン型データ保持回路が提案されている。このバルーン型データ保持回路を有するMTCMOS回路は、例えば、前述の

非特許文献1に開示されていて、図1の従来例の回路図に示される通りである。この例では、組み合わせ回路1とラッチ回路2とは、低V<sub>th</sub>トランジスタで構成され、高速動作可能である。そして、通常電源電圧V<sub>dd</sub>にスリープスイッチSSWを介して接続されるバーチャル電源電圧VV<sub>dd</sub>が、これらの回路1，2に接続される。このスリープスイッチSSWは高いV<sub>th</sub>で構成され、スリープモードではスリープ制御信号SLPのLレベルにより非導通状態になり、組み合わせ回路1やラッチ回路2内のリーク電流を抑える。

## 【0005】

ラッチ回路2に保持されるデータは、スリープモードでも不揮発性であることが望まれる。そこで、ラッチ回路2にバルーンラッチ回路3が接続され、アクティブモードからスリープモードに遷移する時に、ラッチ回路2が保持するデータがバルーンラッチ回路3内に待避される。バルーンラッチ回路3には、通常電源電圧V<sub>dd</sub>が接続されているので、スリープモードでも電源電圧が供給され、待避されたデータを保持することができる。このスリープモード時のリーク電流を抑えるために、バルーンラッチ回路3も高V<sub>th</sub>トランジスタで構成される。そして、スリープモードからアクティブモードに復帰するときに、バルーンラッチ回路3内のデータがラッチ回路2にリストアされる。これにより、ラッチ回路2は、不揮発性のラッチ回路になる。

## 【0006】

## 【非特許文献1】

「低消費電力、高速LSI技術」、リアライズ社、60-74頁

## 【0007】

## 【非特許文献2】

T. Miwa et. al. "A 512 Kbit Low-voltage NV-SRAM with the size of a conventional SRAM", 2001 Symposium on VLSI Circuit Digest of Technical Papers

## 【0008】

## 【発明が解決しようとする課題】

しかしながら、図1に示されたバルーン型データ保持回路を有するMTCMOS回路

では、通常電源線Vddとバーチャル電源線VVddとが混在しているので、自動レイアウトには不適切である。例えば、集積回路内の複数の位置に不揮発性ラッチ回路を配置する場合は、その不揮発性ラッチ回路2に隣接してバルーンラッチ回路3を配置する必要があり、チップ全体にわたって、通常電源線Vddとバーチャル電源線VVddとが混在し、レイアウトが複雑になり、集積度の点でも不利である。

#### 【0009】

更に、組み合わせ回路1や不揮発性ラッチ回路2は低Vthトランジスタからなり、バルーンラッチ回路3は高Vthトランジスタからなる。そのため、異なる閾値電圧のトランジスタが混在し、それらのトランジスタ間は、構造上の相違から十分な離間距離を置く必要があり、集積度が低下するという問題がある。

#### 【0010】

従って、バルーンラッチ回路3には、通常電源Vddを必要としないことと、高Vthのトランジスタを必要としないことが望まれる。

#### 【0011】

上記した非特許文献2には、ラッチ回路に強誘電体膜を利用した可変容量キャパシタ（以下、強誘電体キャパシタ）を接続したメモリセルを有する不揮発性SRAM（Static Random Access Memory）が記載されている。この不揮発性SRAMのメモリセルは、1対のインバータの入力と出力を交差接続したラッチ回路の1対の記憶ノードに、それぞれ強誘電体キャパシタを接続し、ラッチ回路の1対の記憶ノードのHレベルとLレベルを、強誘電体キャパシタに記憶させる。従って、電源をオフにしても、メモリセルのデータは、強誘電体キャパシタに異なる分極方向として保持される。そして、電源オフから電源オンに復帰するとき、強誘電体キャパシタの分極方向に応じて、メモリセルのラッチ回路の状態が復帰する。

#### 【0012】

しかしながら、この非特許文献2の不揮発性SRAMに採用される不揮発性ラッチ回路では、電源が復帰するとき、ラッチ回路のトランジスタ特性のばらつきにより、復帰すべきデータが反転しやすくなるという課題がある。この課題を解決しようとする発明は、本出願人により先に出願されている。例えば、特願平13-400507号（平成13年12月28日出願）である。但し、この先行出願の

ラッチ回路は、MTCMOS技術によるものではない。

【0013】

そこで、本発明の目的は、MTCMOS技術を利用した低消費電力の集積回路であり、更に、不揮発性データ記憶回路を有し、電源配線の構成やトランジスタの構成を簡単化した集積回路装置を提供することにある。

【0014】

【課題を解決するための手段】

上記の目的を達成するために、本発明の第1の側面は、第1の電源配線と第2の電源配線との間に設けられ、第1の閾値電圧のトランジスタで構成されスリープモード時に非導通になるスリープスイッチを有する集積回路装置において、更に、第2の電源配線に接続され、第1の閾値電圧より低い第2の閾値電圧のトランジスタで構成されるラッチ回路と、ラッチ回路が保持するデータを強誘電体膜の分極方向に応じて記憶する強誘電体キャパシタとを有する。そして、スリープモードからアクティブモードに復帰するときに、強誘電体キャパシタの端子を駆動して分極方向に応じてラッチ回路に電圧を生成するプレート信号と、その駆動された後に前記スリープスイッチを導通させてラッチ回路を活性化させるスリープ信号とを生成する制御信号発生回路とを有することを特徴とする。

【0015】

上記本発明の第1の側面によれば、MTCMOS技術で構成された集積回路において、不揮発性ラッチ回路の保持データをスリープモード中に保持する強誘電体キャパシタを設け、スリープモード時に電源をオフにするスリープスイッチを、スリープモードから復帰するときのラッチ回路の活性化回路として利用する。即ち、強誘電体キャパシタの他方の端子を駆動してラッチ回路の1対の端子に電圧を生成したタイミングで、スリープスイッチを導通させてラッチ回路を活性化して、上記電圧差のデータをラッチする。従って、ラッチ回路が確実にデータをリストアすることができる。また、強誘電体キャパシタには、第1の電源配線を接続する必要がないので、電源配線のレイアウトがシンプルになる。更に、強誘電体キャパシタには高V<sub>th</sub>のトランジスタが必要ないので、回路素子の面積を削減することができる。従って、スリープスイッチを高V<sub>th</sub>のトランジスタで構成すれば

良いので、そのトランジスタ数を減らすことができる。

#### 【0016】

上記目的を達成するために、本発明の第2の側面において、第1の電源配線と第2の電源配線との間に設けられ、第1の閾値電圧のトランジスタで構成されスリープモード時に非導通になるスリープスイッチを有する集積回路装置において、第1及び第2の電源配線及びスリープスイッチは、高電源配線側と低電源配線側にそれぞれ設けられ、更に、第2の高電源配線と低電源配線に接続され、第1の閾値電圧より低い第2の閾値電圧のトランジスタで構成されるラッチ回路と、ラッチ回路が保持するデータを強誘電体膜の分極方向に応じて記憶する強誘電体キャパシタとを有する。そして、スリープモードからアクティブモードに復帰するときに、強誘電体キャパシタの端子を駆動して分極方向に応じてラッチ回路に電圧を生成するプレート信号と、その駆動された後に前記高電源配線側と低電源配線側の1対のスリープスイッチを導通させてラッチ回路を活性化させるスリープ信号とを生成する制御信号発生回路とを有することを特徴とする。

#### 【0017】

上記第2の側面によれば、ラッチ回路を活性化するために、高電源配線側と低電源配線側とに設けられた1対のスリープスイッチを導通するので、ラッチ回路は、強誘電体キャパシタの分極状態に対応して生成した電圧を、確実にラッチすることができる。

#### 【0018】

上記の発明の側面において、より好ましい実施例では、強誘電体キャパシタは、ラッチ回路の1対の記憶端子に一方の端子が接続された少なくとも1対の強誘電体キャパシタを有する。そして、前記プレート信号は、強誘電体キャパシタの他方の端子を駆動する。この駆動により、強誘電体キャパシタの分極方向に応じた電圧差が、ラッチ回路の1対の記憶端子に生成される。

#### 【0019】

上記の発明の側面において、より好ましい実施例では、強誘電体キャパシタは、ラッチ回路の1対の記憶端子に一方の端子が接続された2対の強誘電体キャパシタを有する。ラッチ回路の各記憶端子に接続される強誘電体キャパシタ対のう

ち、一方の強誘電体キャパシタの他方の端子が、プレート信号により駆動される。この駆動により、各記憶端子に接続される強誘電体キャパシタ対の分極方向に応じた電圧差が、ラッチ回路の1対の記憶端子に生成される。ラッチ回路の各記憶端子にそれぞれ強誘電体キャパシタ対を設けることで、プレート信号による駆動で生成される電圧の差がより大きくなり、データリコール動作の精度を高くすることができる。

#### 【0020】

##### 【発明の実施の形態】

以下、図面を参照して本発明の実施の形態例を説明する。しかしながら、本発明の保護範囲は、以下の実施の形態例に限定されるものではなく、特許請求の範囲に記載された発明とその均等物にまで及ぶものである。

#### 【0021】

図2は、本実施の形態における集積回路装置の概略構成図である。図1の例と同様に、通常電源Vddとバーチャル電源VVddとがスリープスイッチSSWを通して接続され、組み合わせ論理回路1や不揮発性ラッチ回路2とが、バーチャル電源VVddに接続されている。スリープスイッチSSWは、高Vthトランジスタからなり、組み合わせ論理回路1や不揮発性ラッチ回路2は、低Vthトランジスタで構成される。

#### 【0022】

本実施の形態の集積回路は、不揮発性ラッチ回路2が保持するデータを、スリープスイッチSSWが非導通になっても保持する強誘電体キャパシタ4を有する。強誘電体キャパシタは、後述するとおり、強誘電体膜の分極方向が電源オフ状態でも残留する性質を利用して、ラッチ回路が保持するデータを保持することができる。ラッチ回路のデータを記録する時や、そのデータをラッチ回路にリストアする時に、強誘電体キャパシタ4はプレート信号PLにより駆動される。強誘電体キャパシタ4は、ラッチ回路2に接続されるだけであり、通常電源Vddやバーチャル電源VVddに接続される必要はない。

#### 【0023】

制御信号発生回路5は、高Vthトランジスタで構成され、通常電源Vddを供給さ

れる。従って、スリープモードでも制御信号発生回路5は動作状態にある。制御信号発生回路5は、強誘電体キャパシタ4に供給するプレート信号PLやスリープスイッチSSWを制御するスリープ信号SLPなどを生成する。

#### 【0024】

図2の回路動作の概略は次の通りである。アクティブモードでは、スリープ信号SLPがLレベルになり、スリープスイッチSSWが導通状態になり、バーチャル電源VVddは通常電源Vddに接続される。従って、組み合わせ論理回路1やラッチ回路2は、電源を供給されて通常動作を行う。外部からのスタンバイ信号STBYに応答して、スリープモードに入る前に、制御信号発生回路5がプレート信号PLを生成し、強誘電体キャパシタ4が、ラッチ回路2が保持するデータを分極方向により保持する。その後、スリープ信号SLPがHレベルになり、スリープスイッチSSWは非導通状態になる。スリープスイッチSSWは高Vthトランジスタであるので、リーク電流は少なく、従って、スリープモード時のリーク電流を抑えることができる。スリープモードでは、ラッチ回路はデータを保持することができないが、強誘電体キャパシタの分極方向は、残留分極として維持される。

#### 【0025】

スタンバイ信号STBYに応答してスリープモードからアクティブモードに復帰する時は、制御信号発生回路5がプレート信号PLを駆動して誘電体キャパシタ4が保持する分極状態に応じて、ラッチ回路2の端子に所定の電圧を生成する。その状態で、制御信号発生回路5が、スリープ信号SLPをLレベルに駆動して、ラッチ回路2を活性化し、上記生成された電圧レベルが、ラッチ回路2によりリストアされる。これがリコール動作である。

#### 【0026】

このように、スリープスイッチSSWは、スリープモードとアクティブモードとの切替を行う機能と、スリープモードからアクティブモードに復帰するときのリコール動作で、ラッチ回路2を活性化させる機能とを有する。従って、本実施の形態では、スリープモード時のリーク電流を抑え、リコール動作時における強誘電体キャパシタのデータのラッチ回路によるラッチ動作を確実に行うことができる。

## 【0027】

図3は、本実施の形態における集積回路装置の概略構成図である。図2の集積回路装置と異なるところは、通常電源とバーチャル電源及びそれらを接続するスリープスイッチとが、高電圧電源Vdd側と低電圧電源Vss側とにそれぞれ有することであり、それ以外は同じである。従って、高電圧側の通常電源Vddとバーチャル電源VVddとの間にPチャネルトランジスタからなるスリープスイッチSSWPが設けられ、低電圧側の通常電源Vssとバーチャル電源VVssとの間にNチャネルトランジスタからなるスリープスイッチSSWNが設けられ、それらのスリープスイッチには、それぞれ逆相のスリープ信号SLP、SLPxとが、制御信号発生回路5から供給される。スリープ信号SLPxは、信号SLPをインバータ6により反転して生成される。

## 【0028】

図3の例では、スリープモードからアクティブモードに復帰するときに、強誘電体キャパシタをプレート信号PLで駆動して、その残留分極方向に応じた電圧をラッチ回路2に発生した状態で、スリープ信号SLP、SLPxがそれぞれLレベルとHレベルに駆動されて、ラッチ回路2に高低の電源電圧が供給される。それに伴い、ラッチ回路2がラッチ動作を行って、データをリストアする。高低の電源電圧を同時に供給するラッチ動作により、より確実にデータをラッチすることができる。

## 【0029】

即ち、強誘電体キャパシタ4が、ラッチ回路2のデータを保持するデータ保持回路としての機能を有する。強誘電体キャパシタ4は電源が供給されないスリープモード時において、データを強誘電体膜の分極方向により保持することができる。

## 【0030】

図4、5は、本実施の形態における集積回路装置の別の概略構成図である。この例は、集積回路装置内に複数のラッチ回路2が存在し、各ラッチ回路にそのデータを保持するための強誘電体キャパシタ4が設けられている。そして、複数のラッチ回路2は、共通のスリープスイッチSSWが導通状態にされるときに、活性

化される。また、制御信号発生回路5は、プレート信号PLなどを複数の強誘電体キャパシタ4に共通に供給して、スリープモードに入るときのストア動作と、アクティブモードに復帰するときのリコール動作とを一斉に制御する。図5の例では、図3と同様に、スリープスイッチSSWP,SSWNが高低電源側にそれぞれ設けられている。

#### 【0031】

図6は、図2の不揮発性ラッチ回路の一例を示す回路図である。図6には、マスターラッチ回路10とスレーブラッチ回路14とからなるD型フリップフロップが示される。組み合わせ論理回路1の出力が、CMOSトランスマニアゲート17を介して、マスターラッチ回路10に入力され、更に、マスターラッチ回路10の出力が、CMOSトランスマニアゲート20を介してスレーブラッチ回路14に接続されている。各ラッチ回路10, 14には、1対のインバータ11, 12, 15, 16とCMOSトランスマニアゲート18, 21が設けられる。

#### 【0032】

つまり、クロックCKの立ち下がりエッジ（逆相クロックCKXの立ち上がりエッジ）に同期して、組み合わせ論理回路1の出力がノードN1に供給され、クロックCKの立ち上がりエッジに同期して、その出力がマスターラッチ回路10によりラッチされる。更に、クロックCKの立ち上がりエッジに同期してインバータ11の出力がノードN2に供給され、次のクロックCKの立ち下がりエッジに同期して、その出力がスレーブラッチ回路14によりラッチされる。ノードNX2のデータは、後段の組み合わせ論理回路1に供給される。

#### 【0033】

図6の例では、Dフリップフロップを構成するスレーブラッチ回路14の1対の記憶端子N2, NX2に保持される逆相のデータが、その1対の記憶端子N2, NX2にそれぞれ接続された強誘電体キャパシタFC1, FC2に保持可能になっている。

#### 【0034】

図6中には、スレーブラッチ回路14の具体的なCMOS回路が示される。インバータ15は、PチャネルとNチャネルトランジスタからなり、それらの基板（P

チャネルMOSならn型半導体、NチャネルMOSならp型半導体)はそれぞれ電源VddとグランドVssに接続されている。また、インバータ16も、PチャネルとNチャネルトランジスタからなり、それらの基板はそれぞれ電源VddとグランドVssに接続されている。そして、それらのPチャネルトランジスタのソース電極が、バーチャル電源VVddに接続される。

## 【0035】

図15は、後述する別の不揮発性ラッチ回路も含めた動作波形図である。従つて、図6に示されていない制御信号なども図15には含まれる。これを参照して、図6の不揮発性ラッチ回路14の動作を説明する。最初にアクティブモードの時は、スリープ信号SLPがLレベルであり、スリープスイッチSSWが導通状態にあり、低Vthトランジスタで構成される組み合わせ論理回路1とマスターラッチ回路10及びスレーブラッチ回路14のインバータ11, 12, 15, 16に、バーチャル電源配線VVddから電源電圧が供給される。

## 【0036】

外部からのスタンバイ信号STBYがHレベルになるのに応答して、制御信号発生回路5は、プレート信号PL1をLレベル、Hレベル、Lレベルと駆動する。それに伴い、強誘電体キャパシタFC1, 2は、スレーブラッチ回路14の1対の記憶端子N2, NX2のレベルに応じて、異なる分極方向になる。

## 【0037】

図7は、強誘電体キャパシタの分極作用を示す図である。横軸は、強誘電体膜に印加される電圧Vを、縦軸は、電荷Qをそれぞれ示し、強誘電体キャパシタのヒステリシス特性が示される。仮に、スレーブラッチ回路14のノードN2はLレベル、ノードNX2はHレベルであるとする。プレート信号PL1がLレベルの時は、強誘電体キャパシタFC2にマイナス方向の電圧が印加されるので、キャパシタFC2は点Aの位置に移動し、強誘電体キャパシタFC1には電圧が印加されていないので、点Dまたは点Bの位置にいる。

## 【0038】

そこで、プレート信号PL1がHレベルになると、強誘電体キャパシタFC1にはプラス方向の電圧が印加されて、点Cの位置に移動し、一方の強誘電体キャ

パシタFC2には電圧が印加されないので、点Aから点Bに移動する。更に、プレート信号PL1がLレベルになると、強誘電体キャパシタFC1には電圧が印加されないので、点Cから点Dに移動し、強誘電体キャパシタFC2は、点Aに移動する。従って、強誘電体キャパシタFC1, FC2は、図6に示されるよう異なる矢印方向に分極する。尚、矢印の向きは、矢印の先端側の電極が正にチャージされていることを意味するものとする。

#### 【0039】

以上で、スレーブラッチ回路14のデータが、強誘電体キャパシタの分極方向により保持され、ストア動作が終了する。図15のリセット動作は、後述する他の不揮発性ラッチ回路の動作であり、図6の回路では、スリープ信号SLPがHレベルにされ、スリープモードになる。スリープモードでは、スリープスイッチSSWが非導通状態になり、インバータ15, 16への電源供給は切断され、記憶ノードN2, NX2のL, Hレベルの状態は揮発してなくなる。

#### 【0040】

その後、スタンバイ信号STBYがLレベルになると、リコール動作が行われる。制御信号発生回路5は、最初に、プレート信号PL1をHレベルにして、強誘電体キャパシタの一方の端子を駆動し、その分極方向に応じた電圧を、スレーブラッチ回路14の1対の記憶端子N2, NX2に生成する。

#### 【0041】

図7に示されるように、プレート信号PL1がHレベルになると、正方向の電圧が強誘電体キャパシタに印加されるので、点BのキャパシタFC2は点Cに移動し、点DのキャパシタFC1も点Cに移動する。従って、同じ電圧に対して、キャパシタFC2の電荷量Qは大きく、キャパシタFC1の電荷量Qは少ない。つまり、両キャパシタFC1, FC2の容量Cは、 $C = Q/V$ の関係から、キャパシタFC1は小容量（例えば50fF）、キャパシタFC2は大容量（例えば200fF）になっている。

#### 【0042】

図8は、スレーブラッチ回路の1対のノードN2, NX2に接続される容量を示す等価回路である。各ノードには、寄生容量、例えば5fF、が存在している

ものとする。図8の等価回路において、プレート信号PL1がHレベル、例えば電源電圧Vddレベルの3.3V、になったとすると、2つの容量比に応じて、ノードN2は、3V( $=3.3V \times 50fF / (5fF + 50fF)$ )になり、ノードNX2は、3.22V( $=3.3V \times 200fF / (5fF + 200fF)$ )になる。つまり、両ノードN2, NX2には、3Vと3.22Vが印加され、両ノード間に0.22Vの電圧差が生成される。

#### 【0043】

そこで、図15に示されるとおり、制御信号発生回路5がスリープ信号SLPをLレベルにすると、スリープスイッチSSWが導通して、スレーブラッチ回路14に電源が供給され、ラッチイネーブル状態となる。それに伴い、ノードN2, NX2の電圧差が、ラッチ回路14により増幅されラッチされる。

#### 【0044】

ラッチ回路14がノードN2をLレベルに、ノードNX2をHレベルに駆動することで、強誘電体キャパシタFC1は、正方向の電圧が印加され、図7のヒステリシス特性の点Cに移動する。その後、プレート信号PL1がLレベルにされると、今度は強誘電体キャパシタFC2に負方向の電圧が印加され点Aに移動する。従って、両キャパシタの分極方向は、ラッチ回路14のノードN2, NX2のレベルに応じた方向に、再書き込みされる。

#### 【0045】

以上のように、スリープモードからアクティブモードに復帰する時のデータリコール動作で、プレート信号PL1により強誘電体キャパシタの分極方向に応じた電圧がラッチ回路14の1対のノードN2, NX2に生成された後に、スリープスイッチSSWが導通してラッチ回路が活性化されるので、データを確実にラッチしてリストアすることができる。

#### 【0046】

図9は、図2の不揮発性ラッチ回路の別の例を示す回路図である。図6と同じ引用番号が与えられている。図9の回路は、図6の回路に加えて、強誘電体キャパシタFC3, FC4と、第2のプレート信号PL2とが設けられる。それ以外は、図6と同じであり、スレーブラッチ回路14のCMOSインバータ構成も同じで

ある。

#### 【0047】

図15を参照して、図9の回路の動作を説明すると、スリープモードに入るときのストア動作では、第1のプレート信号PL1と第2のプレート信号PL2とが共に、Lレベル、Hレベル、Lレベルと駆動される。従って、ノードN2に接続される1対の強誘電体キャパシタFC1, FC3は、ノードN2に向かって同じ方向に分極される。同様に、ノードNX2に接続される1対の強誘電体キャパシタFC2, FC4も、ノードNX2と逆方向に分極される。

#### 【0048】

図10は、強誘電体キャパシタの分極作用を示す図である。第1及び第2のプレート信号PL1, PL2は、ストア動作では同じ波形であるので、強誘電体キャパシタFC1, FC3は、同じ分極方向の状態になり、強誘電体キャパシタFC2, FC4も同じ分極方向の状態になる。従って、強誘電体キャパシタFC2, FC4は、ノードNX2のHレベルにより、点Aに移動し、プレート信号PL1, PL2のHレベルにより点Bに移動する。また、強誘電体キャパシタFC1, FC3は、プレート信号PL1, PL2のHレベルにより点Cに移動し、プレート信号のLレベルにより点Dに移動する。

#### 【0049】

その後、スリープ信号SLPがHレベルになり、スリープスイッチSSWが非導通状態になり、バーチャル電源VVddに接続される回路は全てスリープ状態になる。

#### 【0050】

スリープモードからアクティブモードに復帰するとき、第1のプレート信号PL1のみがLレベルからHレベル（電源Vddレベル）になり、第2のプレート信号PL2はLレベル（グランドVssレベル）に維持される。つまり、強誘電体キャパシタFC3, FC4に対しては、ストア動作時と逆方向の電圧が印加される。従って、図10のグラフでは、横軸と縦軸の方向が逆になる。つまり、第1のプレート信号PL1がHレベルになり、第2のプレート信号がLレベルになると、強誘電体キャパシタFC1, 2は、それぞれ点Cに移動するが、強誘電体キャ

パシタFC3, FC4は、それぞれ点Aに移動する。つまり、キャパシタFC1, FC2は、容量がFC1<FC2の関係であるが、キャパシタFC3, FC4は、容量がFC3>FC4の関係になる。

#### 【0051】

図11は、スレーブラッチ回路14の1対の記憶ノードN2, NX2に接続される容量の等価回路である。ノードN2, NX2には、5fFの寄生容量が接続されているものとする。ノードN2に対しては、FC1<FC3の関係の容量が接続され、ノードNX2に対しては、FC2>FC4の関係の容量が接続される。従って、第1のプレート信号PL1がHレベル、Vddレベルの3.3Vになるとすると、ノードN2の電圧は、 $0.65V = 3.3V \times 50fF / (5fF + 50fF + 200fF)$ になり、ノードNX2の電圧は、 $2.59fF = 3.3V \times 200fF / (5fF + 50fF + 200fF)$ になり、その電圧差は1.84Vと図6の場合に比べて大幅に大きくなる。

#### 【0052】

このように、ラッチ回路14の1対の端子N2, NX2に、それぞれ1対の強誘電体キャパシタFC1, FC3とFC2, FC4を接続することで、リコール動作での端子N2, NX2間の電圧差をより大きくすることができる。

#### 【0053】

そして、その状態から、制御信号発生回路5がスリープ信号SLPをLレベルにすると、スリープスイッチSSWが導通し、スレーブラッチ回路14が活性化され、1対のノードN2, NX2の電圧差を増幅し、元のデータが確実にリストアされる。

#### 【0054】

以下、スレーブラッチ回路14に接続される強誘電体キャパシタの回路の変型例を説明する。以下の例では、図9と同様に、ラッチ回路14の1対のノードN2, NX2に、それぞれ1対の強誘電体キャパシタが接続され、その反対側電極に第1及び第2のプレート信号PL1, PL2が印加される。但し、図6のようなラッチ回路のノードに1個の強誘電体キャパシタを接続した場合にも適用することができる。

#### 【0055】

図12は、本実施の形態における第1の変形例の回路図である。この変形例では、図9の回路に加えて、低電源電圧Vss側にもスリープスイッチSSWNとバーチャル低電圧電源VVssが設けられ、バーチャル低電圧電源VVssが、マスタラッチ回路10とスレーブラッチ回路14のインバータに接続される。従って、不揮発性ラッチ回路であるスレーブラッチ回路14のインバータ15, 16には、バーチャル高電圧電源VVddとバーチャル低電圧電源VVssとが接続されている。つまり、図12のスリープスイッチ構成は、図3と同じである。

#### 【0056】

それ以外は、図9の回路と同じである。スリープモードに入るときのストア動作では、図15に示されるとおり、第1及び第2のプレート信号PL1, PL2とがLレベル、Hレベル、Lレベルと駆動され、強誘電体キャパシタFC1～FC4をノードN2, NX2のレベルに応じた分極状態にする。そして、スリープモードからアクティブモードに復帰するときのリコール動作では、第1のプレート信号PL1をHレベルに駆動して、ノードN2, NX2に強誘電体キャパシタFC1～FC4の分極方向に応じた電圧差を発生させ、その後、スリープ信号SLPをLレベルに、その反転信号SLPxをHレベルにそれぞれ駆動して、スリープスイッチSSWPとSSWNを同時に導通させ、スレーブラッチ回路14を活性化し、ノードN2, NX2の電圧差を増幅して、ラッチさせる。

#### 【0057】

図13は、本実施の形態における第2の変形例の回路図である。図13では、図12に回路に加えて、強誘電体キャパシタFC1, FC2とスレーブラッチ回路14との間に、スイッチ回路30, 31が設けられ、更に、キャパシタFC3, FC4とスレーブラッチ回路1との間に、スイッチ回路32, 33が設けられている。それに伴い、制御信号発生回路5は、スイッチ信号SWTを発生し、それとインバータ34により反転された反転スイッチ信号SWTxとが、上記スイッチ回路30～33に供給される。

#### 【0058】

このスイッチ回路30～33は、通常動作時において非導通に制御されて、スレーブラッチ回路14と強誘電体キャパシタFC1～FC4との間を分離する。

これにより、スレーブラッチ回路14内の1対のノードN2, NX2の電位がHレベルとLレベルに駆動されるときの、負荷容量を減らすことができる。更に、ノードN2, NX2の駆動に伴い強誘電体キャパシタFC1～FC4の強誘電体膜に電圧が印加されて、その膜質が低下することが防止される。

#### 【0059】

従って、スイッチ回路30～33は、アクティブモードからスリープモードに移行するときのストア動作時と、スリープモードからアクティブモードに移行するときのリコール動作時とで導通して、ラッチ回路14からのデータのストアと強誘電体キャパシタからのラッチ回路14へのデータのリコールとを可能にする。

#### 【0060】

図13の回路動作では、図15に示されるとおり、スイッチ信号SWTが、ストア動作時とリコール動作時にHレベルに駆動され、スイッチ回路30～33が導通状態に制御されて、ラッチ回路14の1対のノードN2, NX2と強誘電体キャパシタFC1～FC4を接続する。それ以外ではスイッチ信号SWTがLレベルにされ、スイッチ回路が非導通状態に制御されて、強誘電体キャパシタがラッチ回路のノードから切り離される。

#### 【0061】

図14は、本実施の形態における別の変形例の回路図である。この回路は、図13の回路に加えて、強誘電体キャパシタFC1, FC2にリセット用トランジスタ34, 35が接続され、更に、強誘電体キャパシタFC3, FC4にリセット用トランジスタ36, 37が接続され、それらのトランジスタを制御するリセット信号RESが、制御信号発生回路5により生成される。それ以外の構成は、図13の回路と同じである。

#### 【0062】

リセット用トランジスタ34～37は、アクティブモードからスリープモードに移行するときのストア動作に先だって、及び、スリープモードからアクティブモードに移行するときのリコール動作に先だって、それぞれ導通状態に制御される。それにより、各強誘電体キャパシタFC1～FC4のノードFN1～FN4

をグランドレベルにして、無用なノイズによるレベルがそれらのノード FN 1～FN 4 に残らないようにする。集積回路装置の場合、これらのノードの周囲には、絶縁膜を介して信号線が設けられており、それらの信号線からのカップリングノイズにより、ノード FN 1～FN 4 に所定の電圧レベルが生成される場合がある。そこで、リセット用トランジスタ 34～37 を導通させることで、それらのカップリングノイズによる影響を抑制する。

#### 【0063】

図14の回路動作を図15の動作波形図により説明する。アクティブ状態でスタンバイ信号STBYのHレベルに応答して、リセット信号RESがLレベルにされ、リセット用トランジスタ 34～37 が全て非導通状態にされる。これにより、強誘電体キャパシタのノード FN1～FN4 がグランドレベルからフローティング状態になる。その後、スイッチ信号SWTがHレベルに制御され、スイッチ回路 30～33 が導通状態にされる。その状態で、第1及び第2のプレート信号PL1, PL2 がLレベル、Hレベル、Lレベルと駆動される。これにより、ラッチ回路 14 の1対のノード N2, NX2 の電圧レベルに応じて、強誘電体キャパシタ FC1～FC4 の分極方向が、図14に示される矢印方向にされる。これで、ストア動作が完了する。

#### 【0064】

そこで、スリープ信号SLPがHレベルに駆動され、スリープトランジスタSSWP, SSWNが共に非導通状態になり、低Vthトランジスタで構成される組み合わせ論理回路1やラッチ回路10, 14の動作が停止して、スリープモードに入る。スリープモードの期間中、リセット信号RESはHレベルにされて、リセット用トランジスタが導通状態に保たれ、更に、スイッチ信号SWTはLレベルにされて、スイッチ回路30～33が非導通状態に保たれる。但し、スリープモード中、リセット用トランジスタを非導通状態に保ってもよい。その場合は、スリープモードから復帰するときに導通状態にされる。

#### 【0065】

スリープモードからアクティブモードに移行するとき、スタンバイ信号STBYがLレベルにされる。それに応答して、制御信号発生回路5は、スイッチ信号SWT

をHレベルにして、スイッチ回路30～34を導通状態にし、強誘電体キャパシタの各ノードFN1～FN4を、スレーブラッチ回路14のノードN2、NX2と共に、リセット用トランジスタ34～37を介してグランドレベルにして、リセット動作をする。その後、制御信号発生回路5は、リセット信号RESをLレベルにしてリセット用トランジスタを非導通状態にする。これにより、ノードN2、NX2はフローティング状態になる。

#### 【0066】

この状態から、リコール動作になるが、制御信号発生回路5は、第1のプレート信号PL1をHレベルに駆動し、第2のプレート信号PL2をグランドレベルに維持する。それにより、強誘電体キャパシタ対FC1、FC3間に電源電圧が印加され、同様にもう一つの強誘電体キャパシタ対FC2、FC3間にも電源電圧が印加される。それに伴って、スレーブラッチ回路14の1対のノードN2、NX2には、前述した電圧差が生成される。この状態で、制御信号発生回路5は、スリープ信号SLPをLレベルに駆動し、2つのスリープトランジスタSSWP、SSWNを同時に導通させ、スレーブラッチ回路14を活性化する。これにより、ノードN2、NX2の電圧差が増幅され、元のデータがラッチされる。

#### 【0067】

その後、スイッチ信号SWTがLレベルにされて、スイッチ回路30～33が非導通にされて、更にその後、プレート信号PL1がLレベルに戻され、強誘電体キャパシタFC1、FC2には、ラッチ回路14がラッチしたデータに応じた分極状態が生成される。スイッチ回路30～33が非導通状態になっているので、プレート信号PL1がLレベルに戻されても、キャパシタFC2のカップリングによりラッチ回路14のノードNX2のHレベルが低下することはない。

#### 【0068】

以上のとおり、図14の回路では、スイッチ回路30～33と、リセット用トランジスタ34～37とを設けることで、ストア動作とリコール動作をより確実なものにすることができます。

#### 【0069】

以上説明した不揮発性ラッチ回路の構成は、マスタラッチ回路10側にも設け

ることができる。いずれのラッチ回路のデータを退避させたいかにより、強誘電体キャパシタによるデータ退避構造が選択的に配置される。また、マスターラッチ回路10とスレーブラッチ回路14の両方に強誘電体キャパシタを設けてもよい。いずれの場合でも、マスターラッチ回路とスレーブラッチ回路とにより、不揮発性フリップフロップ回路が構成される。

#### 【0070】

図16は、本実施の形態における集積回路装置の全体構成例を示す図である。図16の集積回路装置では、スリープモードの時にフリップフロップのデータを保持することができる不揮発性領域52と、保持しない揮発性領域50とを有する。揮発性領域50内の組み合わせ論理回路1やフリップフロップ40には、通常電源Vddが常時供給され、スリープモードには制御されない。また、不揮発性領域52内の組合せ論理回路やフリップフロップ42には、バーチャル電源VVddが供給され、スリープモードに制御可能である。従って、不揮発性領域52内のフリップフロップ42には、前述した強誘電体キャパシタ回路が付設され、スリープモード時にフリップフロップが保持するデータをその強誘電体キャパシタに保持することができる。上記のフリップフロップは、ラッチ回路を有することは、前述の通りである。

#### 【0071】

揮発性領域50内のフリップフロップ40には、クロックCKが常時供給される。それにより、組み合わせ論理回路1が処理して生成したデータがそれぞれのフリップフロップ40に保持され、次の組み合わせ論理回路1の入力信号として供給される。

#### 【0072】

一方、不揮発性領域52内のフリップフロップ42には、クロックFCKが供給される。但し、このクロックFCKは、不揮発性領域52がスリープモード時には停止する。より厳密には、図15に示されるとおり、スタンバイ信号STBYがHレベルになった以降、リコール動作が完了するまで、このクロックFCKは停止する。

#### 【0073】

制御信号発生回路5は、複数の強誘電体キャパシタを併設したフリップフロップ42に、クロックFCKや制御信号（プレート信号やスイッチ信号、リセット信号など）を供給する。また、制御信号発生回路5は、スリープ信号SLPを生成して、不揮発性領域52内の低V<sub>th</sub>トランジスタからなる回路に共通に設けられたスリープトランジスタSSWを制御する。

#### 【0074】

図17は、本実施の形態における集積回路装置の別の全体構成例を示す図である。図17の例でも、揮発領域50と不揮発領域52とを有する。図16と異なるところは、不揮発領域52内のフリップフロップ42へのクロックは、通常のクロックCKとスタンバイ信号STBYの反転信号STBYxとの論理積により生成される。従って、各フリップフロップ42には、ANDゲート43が設けられる。図16の例では、このANDゲートが制御信号発生回路5内に設けられているのに対して、図17の例では、不揮発性領域52内のフリップフロップ42毎に設けられる。レイアウトの事情に応じて、ANDゲート43の配置位置が区別される。

#### 【0075】

図18は、本実施の形態における集積回路装置の更に別の全体構成例を示す図である。図18の例では、複数の揮発性の回路ブロックBLK1～BLKNを有し、それぞれの回路ブロック内には、1対のスリープスイッチSSWP,SSWNと、制御信号発生回路5とが設けられる。そして、各回路ブロック内の制御信号発生回路5に対して、それぞれ別のスタンバイ信号STBY1～STBYnが、電源管理回路54から供給される。各回路ブロック内の構成は、図12, 13, 14に示したものと同じである。

#### 【0076】

従って、電源管理回路54は、所望の回路ブロックにLレベルのスタンバイ信号を供給することで、その回路ブロックをスリープモードに移行させることができ、所望の回路ブロックにHレベルのスタンバイ信号を供給することで、その回路ブロックをアクティブモードに復帰させることができる。これにより、電源管理回路54が、動作の必要がない回路ブロックはスリープモードに制御し、動作が必要な回路ブロックのみをアクティブ状態にして、消費電力を節約することが

できる。しかも、スリープモードにされる回路ブロック内のフリップフロップやラッチ回路は、そのデータが強誘電体キャパシタ回路により維持されるので、実質的に不揮発性にすることができる。

## 【0077】

図19は、本実施の形態における回路ブロックのレイアウト例を示す図である。この回路ブロックは、ASIC (Application Specific Integrated Circuit) などのセルアレイ構成を有し、複数のセルアレイCA上にレイアウトされた複数のセルを有する。セルアレイ内の複数のセルには、斜線ブロックで示される不揮発性ラッチ回路または不揮発性フリップフロップLATCHと、グレーブロックで示される強誘電体キャパシタセルFCCとが、隣接して配置される。これにより、不揮発性ラッチ又はフリップフロップ回路が保持するデータが、強誘電体キャパシタセルFCCに保持される。

## 【0078】

図19に示されるとおり、不揮発性ラッチ回路等とそのデータを保持するための強誘電体キャパシタセルFCCとが回路ブロック内に分散して配置され、その強誘電体キャパシタセルへ制御信号を供給する制御信号発生回路5は、2行目のセルアレイ内に形成されている。従って、図示しない制御信号が、制御信号発生回路5から分散した強誘電体キャパシタセルFCCにそれぞれレイアウトされる。この制御信号発生回路5は、複数箇所に分散して形成されてもよい。

## 【0079】

強誘電体キャパシタセルFCCは、図12, 13, 14に示されるとおり、4個の強誘電体キャパシタFCを有する。図19の例では、強誘電体キャパシタの形状が、製造プロセスの不連続性によるバラツキの影響を受けにくくするために、4個のリアル強誘電体キャパシタRFCの周りに、ダミー強誘電体キャパシタDFCが設けられる。従って、製造プロセスにおいて、レイアウトの不連続性による形状バラツキの影響は、主に周辺のダミー強誘電体キャパシタRFCが受けて、例えば、その形状が小さくなる。一方、形状バラツキの影響は、その内側の4つのリアル強誘電体キャパシタRFCには及ばず、それらのキャパシタによるデータ保持特性を良好にすることができます。

## 【0080】

図20は、本実施の形態における回路ブロックの別のレイアウト例を示す図である。この回路ブロックも、複数のセルアレイCA上にレイアウトされた複数のセルを有する。そして、図19と異なり、斜線ブロックで示された不揮発性ラッチ回路LATCHは2列のセルアレイに集中して配置されている。それに伴い、それらの不揮発性ラッチ回路に隣接して、強誘電体キャパシタセルFCCも集中して配置されている。また、強誘電体キャパシタセルに制御信号を供給する制御信号発生回路5は、その強誘電体キャパシタセルFCCに隣接して配置される。これにより、制御信号配線を短くすることができる。

## 【0081】

強誘電体キャパシタセルFCCは、図20に示されるとおり、リアル強誘電体キャパシタRFCの周辺に、ダミー強誘電体キャパシタDFCが配置されている。これにより、製造プロセスにおける不連続性によるバラツキの影響を減らすことができる。図20の例では、強誘電体キャパシタセルを集中して配置しているので、図19に比較すると、ダミー強誘電体キャパシタDFCの数を減らすことができる。

## 【0082】

図19のレイアウトと図20のレイアウトは、同じ回路ブロック内において、適宜選択的に選ぶことが好ましい、ケースバイケースで最適なレイアウト方法が選択される。

## 【0083】

以上の通り、本実施の形態によれば、スリープトランジスタにより、低V<sub>th</sub>トランジスタで構成される回路群へのスリープモード時の電源供給を停止して、そのリーク電流を抑えることができると共に、スリープモードからの復帰時において、強誘電体キャパシタから不揮発性ラッチ回路へのデータリコール時に、スリープトランジスタによりラッチ回路の活性化が行われる。従って、データ保持用のバルーンラッチ回路として強誘電体キャパシタを利用して電源配線レイアウトを簡単化し、且つ、データリコール時のラッチ回路のラッチ動作をより確実なものにすることができる。

## 【0084】

なお、上記実施の形態の不揮発性ラッチ回路を、複数行列配置してスタティック型メモリにすることもできる。或いは、不揮発性ラッチ回路を列状に配置してフリップフロップ、カウンタ、レジスタなどとして利用することもできる。

## 【0085】

以上、実施の形態例をまとめると以下の付記の通りである。

## 【0086】

(付記1) 集積回路装置において、

第1の電源配線と第2の電源配線との間に設けられ、第1の閾値電圧のトランジスタで構成されスリープモード時に非導通になるスリープスイッチと、

前記第2の電源配線に接続され、前記第1の閾値電圧より低い第2の閾値電圧のトランジスタで構成されるラッチ回路と、

前記ラッチ回路が保持するデータを強誘電体膜の分極方向に応じて記憶する強誘電体キャパシタと、

前記スリープモードからアクティブモードに復帰するときに、前記強誘電体キャパシタの端子を駆動して分極方向に応じて前記ラッチ回路に電圧を生成するブレート信号と、その駆動された後に前記スリープスイッチを導通させて前記ラッチ回路を活性化させるスリープ信号とを生成する制御信号発生回路とを有することを特徴とする集積回路装置。

## 【0087】

(付記2) 集積回路装置において、

第1の電源配線と第2の電源配線との間に設けられ、第1の閾値電圧のトランジスタで構成されスリープモード時に非導通になるスリープスイッチを有し、当該第1及び第2の電源配線及びスリープスイッチは、高電源配線側と低電源配線側にそれぞれ設けられ、

更に、前記高電源線側の第2の電源配線と前記低電源線側の第2の電源配線に接続され、前記第1の閾値電圧より低い第2の閾値電圧のトランジスタで構成されるラッチ回路と、

前記ラッチ回路が保持するデータを強誘電体膜の分極方向に応じて記憶する強誘電体キャパシタと、

前記スリープモードからアクティブモードに復帰するときに、前記強誘電体キャパシタの端子を駆動して分極方向に応じて前記ラッチ回路に電圧を生成するプレート信号と、その駆動された後に前記高電源配線側と低電源配線側の1対のスリープスイッチを導通させて前記ラッチ回路を活性化させるスリープ信号とを生成する制御信号発生回路とを有することを特徴とする集積回路装置。

## 【0088】

(付記3) 付記1または2において、

前記強誘電体キャパシタは、前記ラッチ回路の1対の記憶端子それぞれに一方の端子が接続された少なくとも1対の強誘電体キャパシタを有し、前記プレート信号は、前記強誘電体キャパシタの他方の端子に供給されて、前記強誘電体キャパシタの分極方向に応じた電圧が、前記ラッチ回路の1対の記憶端子に生成されることを特徴とする集積回路装置。

## 【0089】

(付記4) 付記1または2において、

前記強誘電体キャパシタは、前記ラッチ回路の1対の記憶端子それぞれに一方の端子が接続された2対の強誘電体キャパシタを有し、前記ラッチ回路の各記憶端子に接続される強誘電体キャパシタ対のうち、一方の強誘電体キャパシタの他方の端子が、プレート信号により駆動されて、各記憶端子に接続される強誘電体キャパシタ対の分極方向に応じた電圧が、前記ラッチ回路の1対の記憶端子に生成されることを特徴とする集積回路装置。

## 【0090】

(付記5) 付記3において、

前記スリープモードに入るとき、前記プレート信号が前記強誘電体キャパシタの他方の端子に供給されて、前記ラッチ回路の1対の記憶端子の電圧レベルに応じて、前記強誘電体キャパシタが所定の分極状態にされることを特徴とする集積回路装置。

## 【0091】

(付記6) 付記4において、

前記スリープモードに入るとき、前記プレート信号が前記強誘電体キャパシタ

対の他方の端子に供給されて、前記ラッチ回路の1対の記憶端子の電圧レベルに応じて、前記強誘電体キャパシタ対が所定の分極状態にされることを特徴とする集積回路装置。

## 【0092】

(付記7) 付記1または2において、

更に、前記強誘電体キャパシタと前記ラッチ回路との間に設けられ、前記スリープモードからアクティブモードに復帰するときに導通し、アクティブモード中は非導通になるスイッチ回路を有することを特徴とする集積回路装置。

## 【0093】

(付記8) 付記7において、

前記スイッチ回路は、前記アクティブモードからスリープモードに移行するときに導通し、前記ラッチ回路と強誘電体キャパシタとの間を接続することを特徴とする集積回路装置。

## 【0094】

(付記9) 付記1または2において、

更に、前記強誘電体キャパシタの一方の端子に設けられ、前記スリップモードからアクティブモードに復帰するときに導通して、前記強誘電体キャパシタの一方の端子のレベルを所定レベルにリセットするリセット回路を有することを特徴とする集積回路装置。

## 【0095】

(付記10) 付記9において、

前記リセット回路がリセットした後、前記一方の端子はフローティング状態にされ、その後前記プレート信号が供給されることを特徴とする集積回路装置。

## 【0096】

(付記11) 付記9において、

前記リセット回路は、前記アクティブモードからスリープモードに移行するときに導通して、前記強誘電体キャパシタの一方の端子のレベルを所定レベルにリセットすることを特徴とする集積回路装置。

## 【0097】

(付記12) 付記1において、

前記ラッチ回路と強誘電体キャパシタとを有する不揮発性ラッチ回路を有する不揮発性領域と、

前記ラッチ回路を有し前記強誘電体キャパシタが付設されていない揮発性ラッチ回路を有する揮発性領域とを有し、

前記不揮発性領域のラッチ回路には、前記スリープモード時に停止するクロックが供給されることを特徴とする集積回路装置。

【0098】

(付記13) 付記1において、

前記ラッチ回路と強誘電体キャパシタとを有する不揮発性ラッチ回路を有する不揮発性領域と、

前記ラッチ回路を有し前記強誘電体キャパシタが付設されていない揮発性ラッチ回路を有する揮発性領域とを有し、

前記不揮発性領域の各ラッチ回路には、クロックをスリープモード制御信号に応じて供給するクロックゲート回路が、それぞれ設けられていることを特徴とする集積回路装置。

【0099】

(付記14) 付記1において、

複数の回路ブロックを有し、

各回路ブロックには、前記スリープスイッチ、前記ラッチ回路、前記強誘電体キャパシタ、及び前記制御信号発生回路がそれぞれ設けられ、

更に、前記制御信号発生回路にそれぞれスリープモード制御信号を供給する電源管理回路を有することを特徴とする集積回路装置。

【0100】

(付記15) 付記1において、

前記ラッチ回路とそれに付設される強誘電体キャパシタとが、分散して配置され、当該分散された強誘電体キャパシタに、前記プレート信号が供給されることを特徴とする集積回路装置。

【0101】

(付記16) 付記1において、

前記ラッチ回路とそれに付設される強誘電体キャパシタとが、集中して配置され、当該集中して配置されたラッチ回路群と強誘電体キャパシタ群に近接して、前記制御信号発生回路が配置されていることを特徴とする集積回路装置。

#### 【0102】

(付記17) 付記1において、

前記強誘電体キャパシタは、前記ラッチ回路の記憶端子のレベルを分極方向で記憶するリアルキャパシタと、当該リアルキャパシタの周りに配置されたダミーキャパシタとを有することを特徴とする集積回路装置。

#### 【0103】

(付記18) 集積回路装置において、

第1の電源配線と第2の電源配線との間に設けられ、第1の閾値電圧のトランジスタで構成されスリープモード時に非導通になるスリープスイッチと、

前記第2の電源配線に接続され、前記第1の閾値電圧より低い第2の閾値電圧のトランジスタで構成されるラッチ回路と、

前記第2の電源配線に接続され、前記第2の閾値電圧のトランジスタで構成される組み合わせ回路と、

前記スリープモード時に、前記ラッチ回路が保持するデータを記憶する不揮発性データ保持回路と、

前記スリープモードからアクティブモードに復帰するときに、前記不揮発性データ保持回路の状態に応じて前記ラッチ回路に電圧を生成するリコール信号と、その後に前記スリープスイッチを導通させて前記ラッチ回路を活性化させるスリープ信号とを生成する制御信号発生回路とを有することを特徴とする集積回路装置。

#### 【0104】

##### 【発明の効果】

以上、本発明によれば、MTCMOSの集積回路装置において、電源配線を簡単化し、集積度を高くすることができる。また、スリープモードから復帰するときのラッチ回路の動作を安定させることができる。

【図面の簡単な説明】

【図1】

従来例のMTCMOS技術による回路図の一例を示す図である。

【図2】

本実施の形態における集積回路装置の概略構成図である。

【図3】

本実施の形態における集積回路装置の概略構成図である。

【図4】

本実施の形態における集積回路装置の別の概略構成図である。

【図5】

本実施の形態における集積回路装置の別の概略構成図である。

【図6】

図2の不揮発性ラッチ回路の一例を示す回路図である。

【図7】

強誘電体キャパシタの分極作用を示す図である。

【図8】

スレーブラッチ回路の1対のノードN2, NX2に接続される容量を示す等価回路である。

【図9】

図2の不揮発性ラッチ回路の別の例を示す回路図である。

【図10】

強誘電体キャパシタの分極作用を示す図である。

【図11】

スレーブラッチ回路の1対のノードN2, NX2に接続される容量を示す等価回路である。

【図12】

本実施の形態における第1の変形例の回路図である。

【図13】

本実施の形態における第2の変形例の回路図である。

【図14】

本実施の形態における第3の変形例の回路図である。

【図15】

本実施の形態の不揮発性ラッチ回路の動作波形図である。

【図16】

本実施の形態における集積回路装置の全体構成例を示す図である。

【図17】

本実施の形態における集積回路装置の別の全体構成例を示す図である。

【図18】

本実施の形態における集積回路装置の更に別の全体構成例を示す図である。

【図19】

本実施の形態における回路ブロックのレイアウト例を示す図である。

【図20】

本実施の形態における回路ブロックの別のレイアウト例を示す図である。

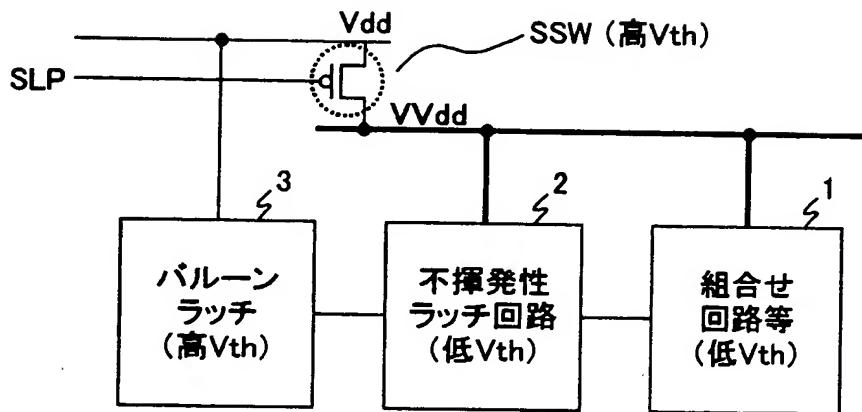
【符号の説明】

|         |                 |
|---------|-----------------|
| Vdd     | 第1の電源配線         |
| VVdd    | 第2の電源配線         |
| SSW     | スリープスイッチ        |
| SLP     | スリープ信号、スリープ制御信号 |
| FC1～FC4 | 強誘電体キャパシタ       |
| 1       | 組合せ論理回路         |
| 5       | 制御信号発生回路        |
| 1 4     | ラッチ回路           |
| PL1,PL2 | プレート信号          |

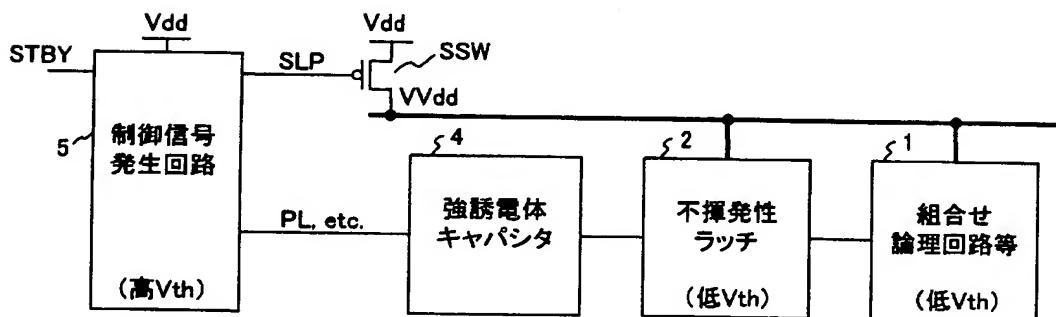
【書類名】 図面

【図1】

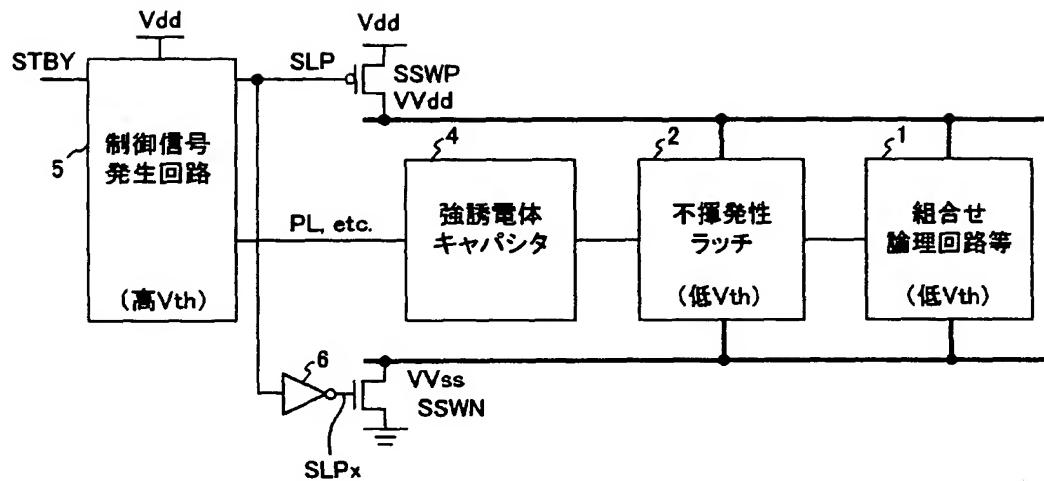
## 従来例



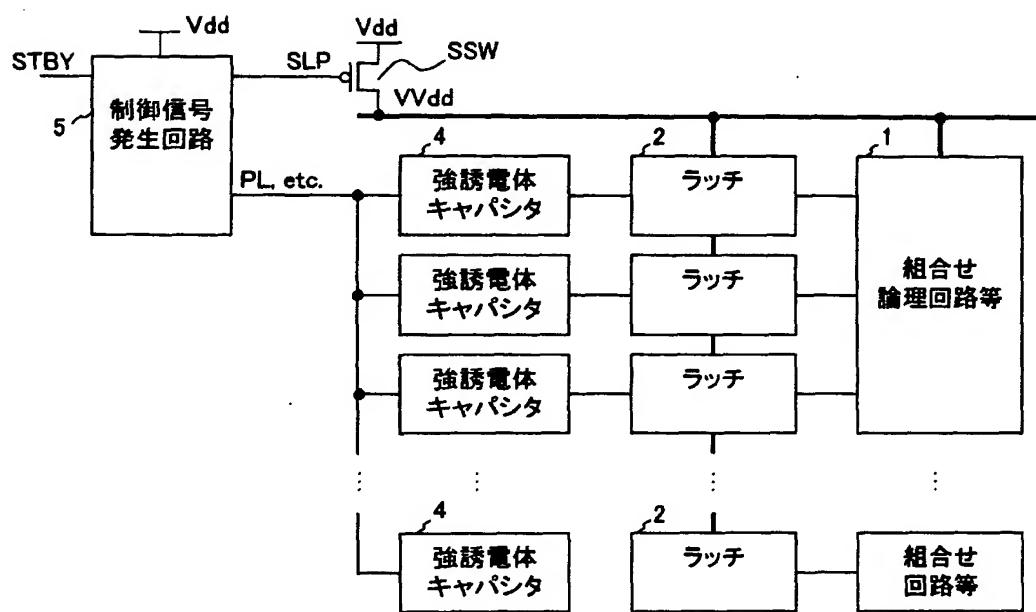
【図2】



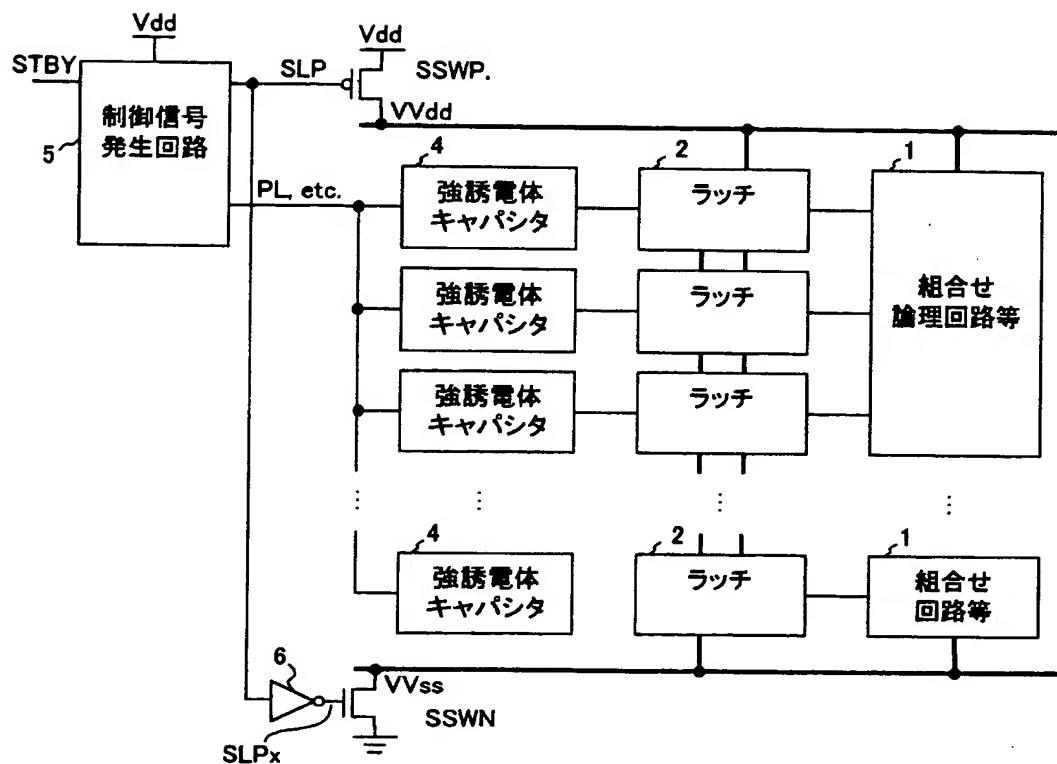
【図3】



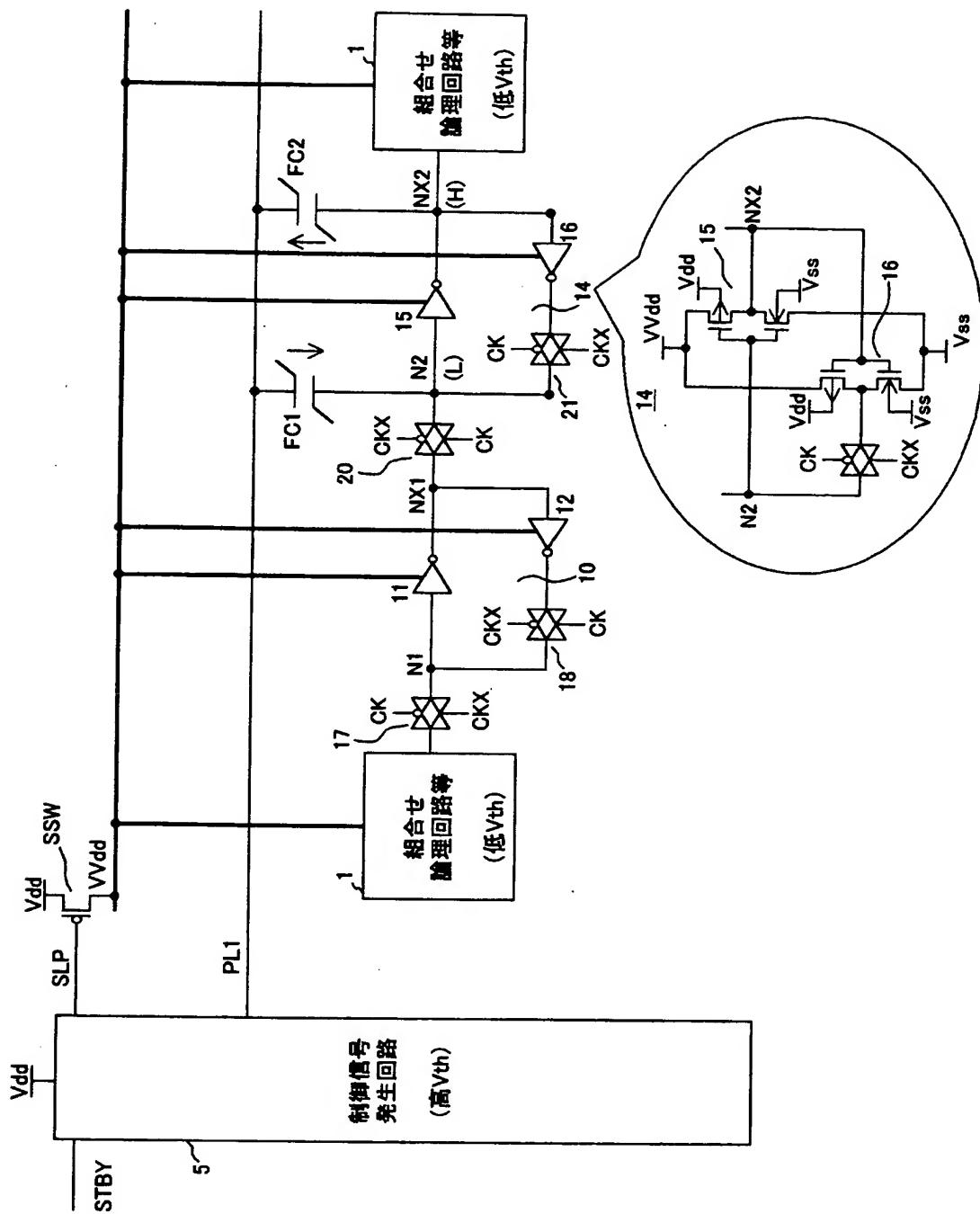
【図4】



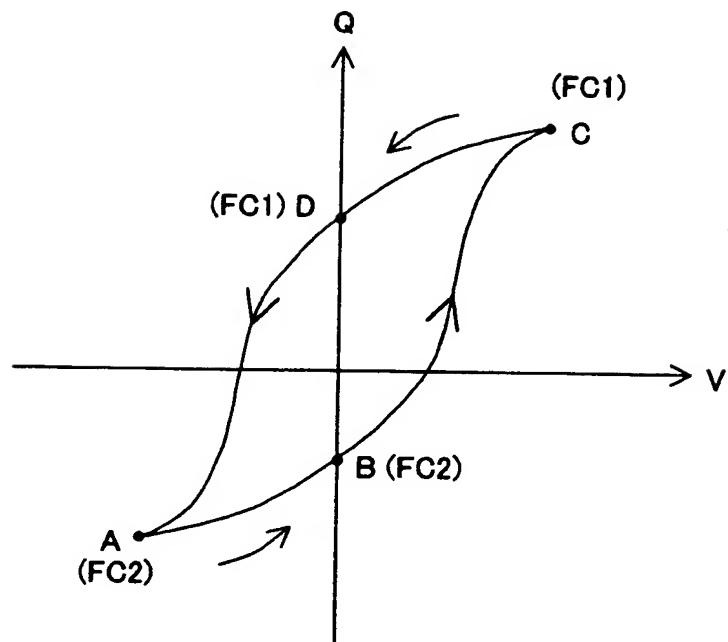
【図5】



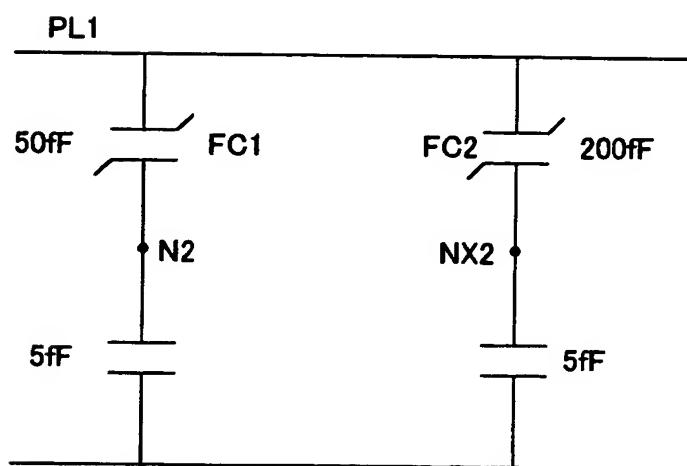
【図6】



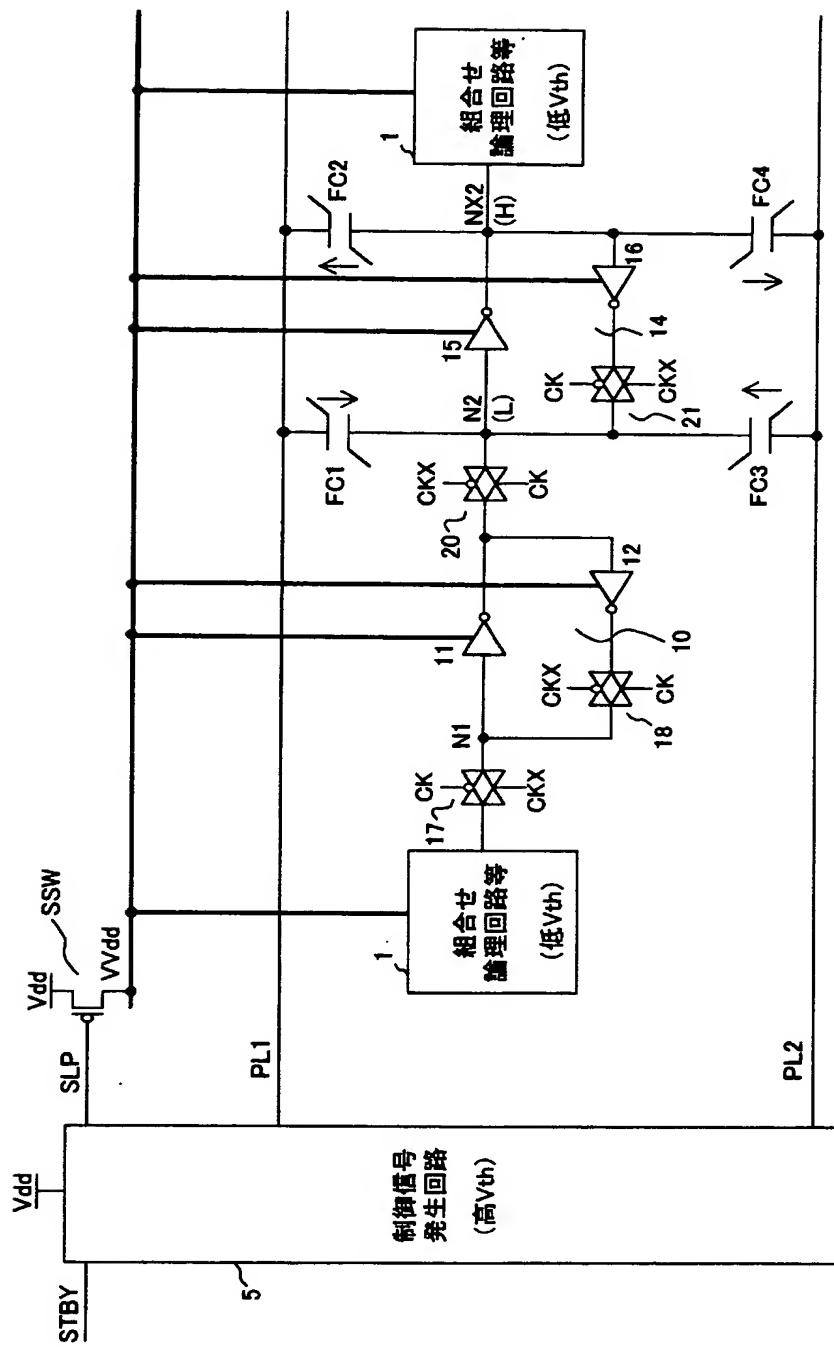
【図7】



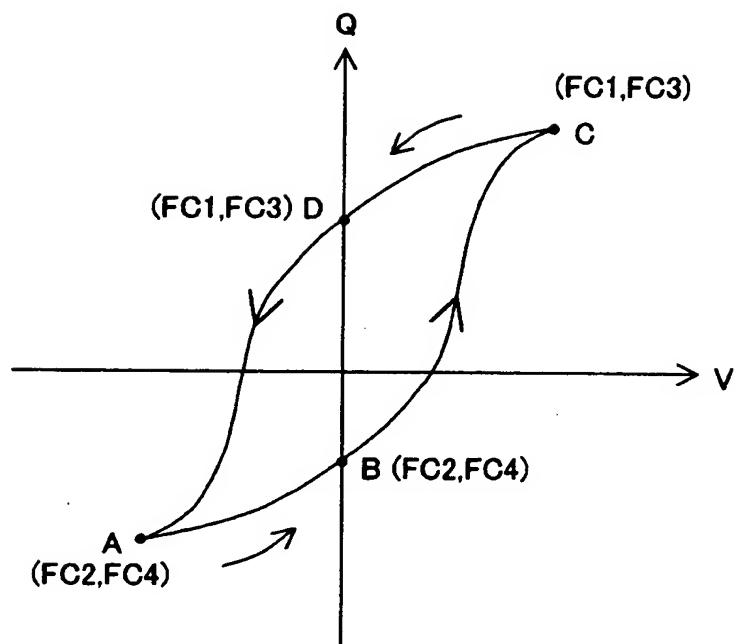
【図8】



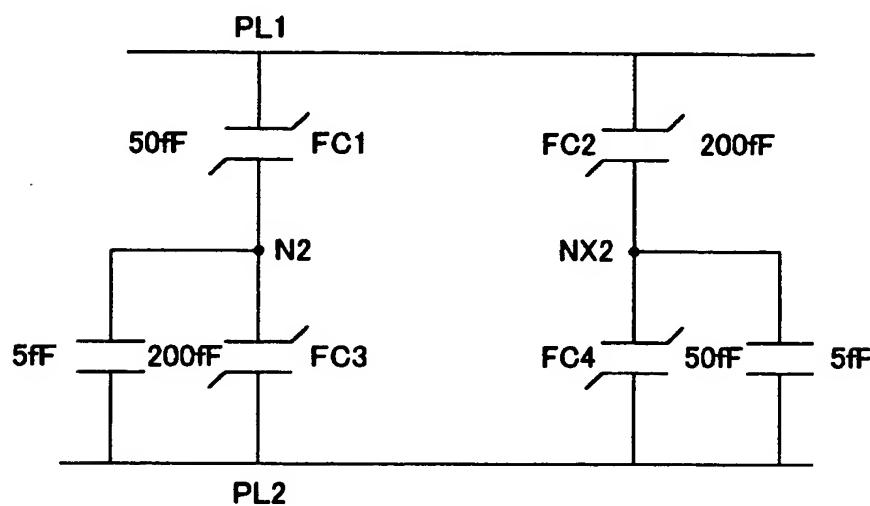
【図9】



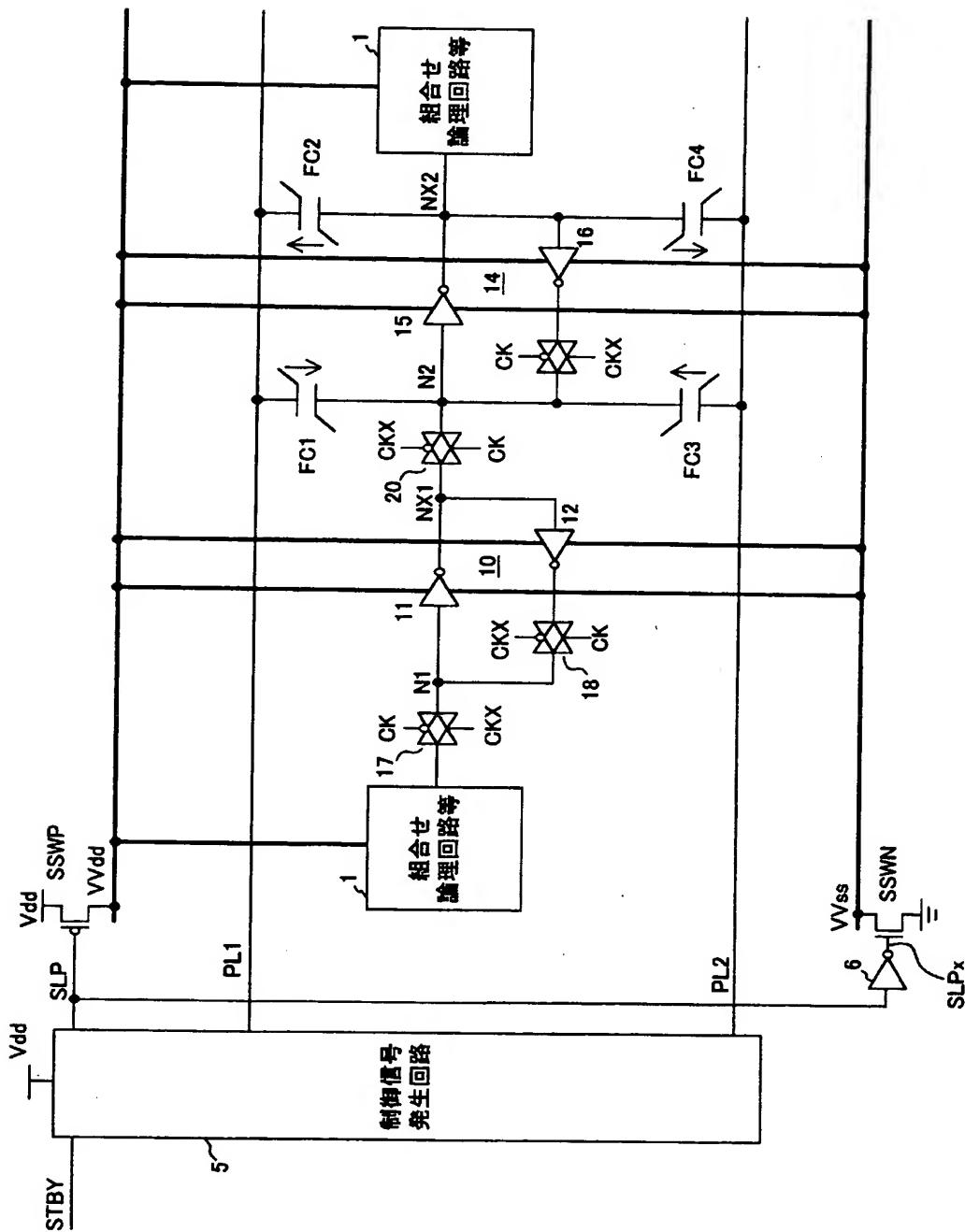
【図10】



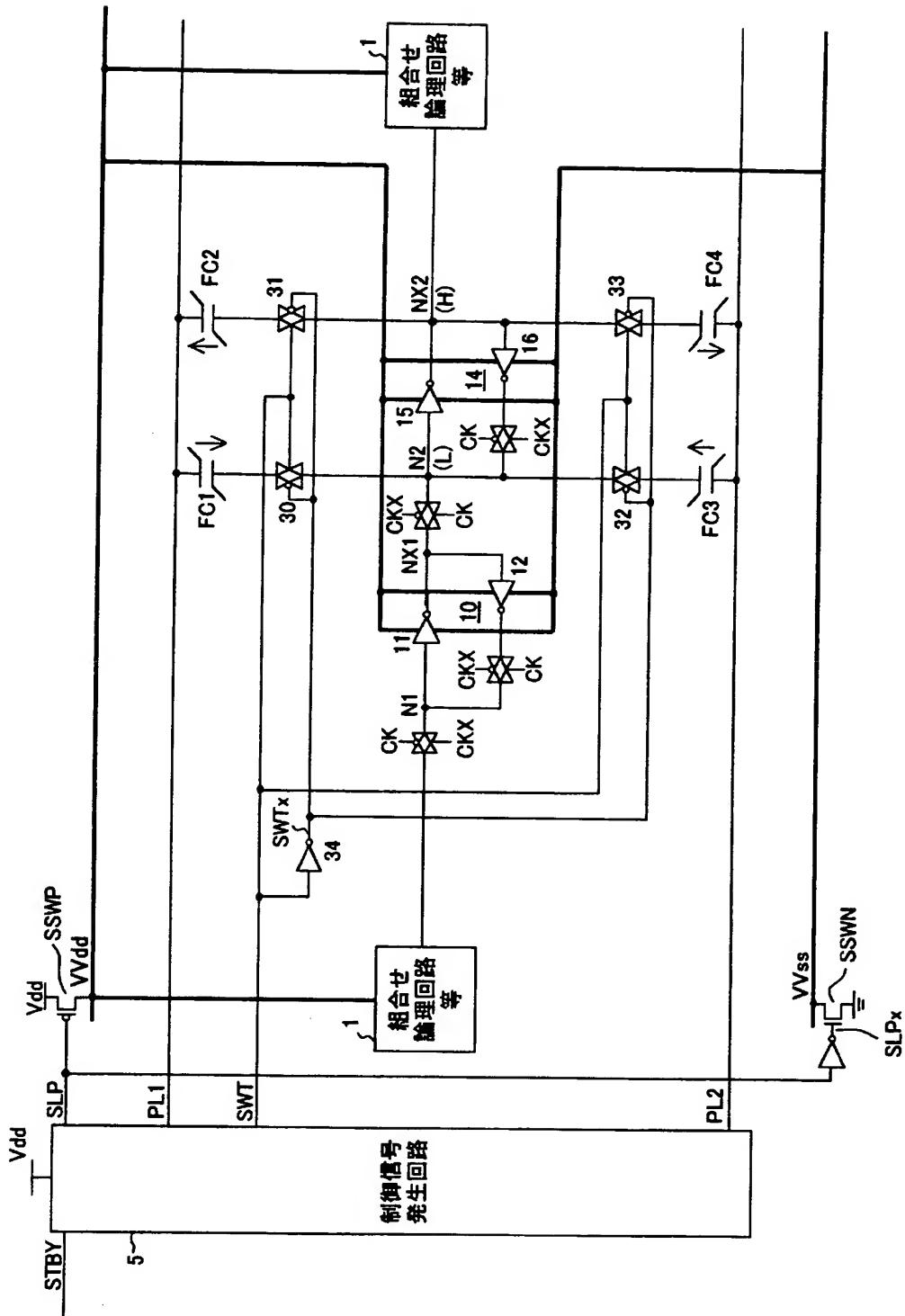
【図11】



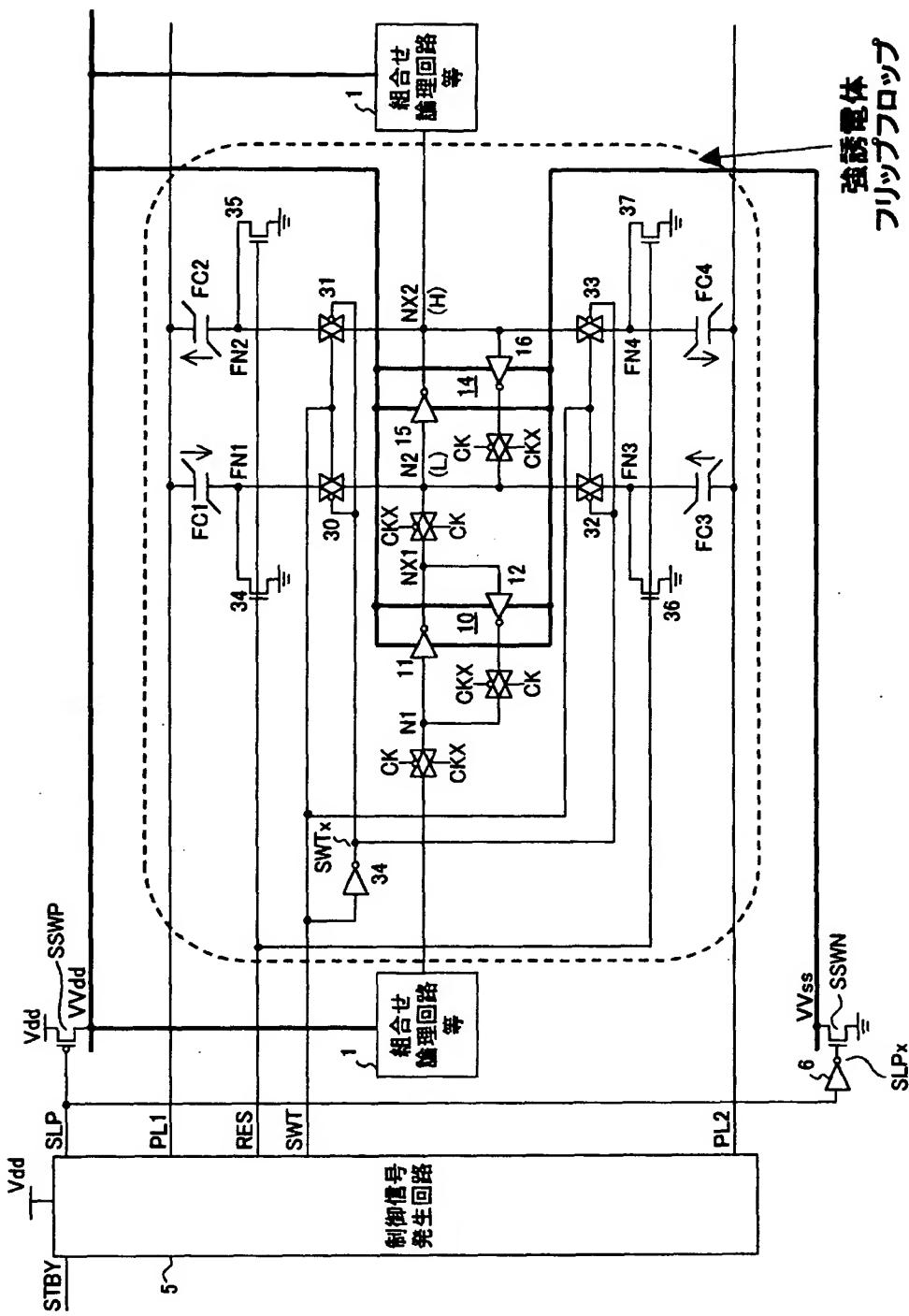
【図12】



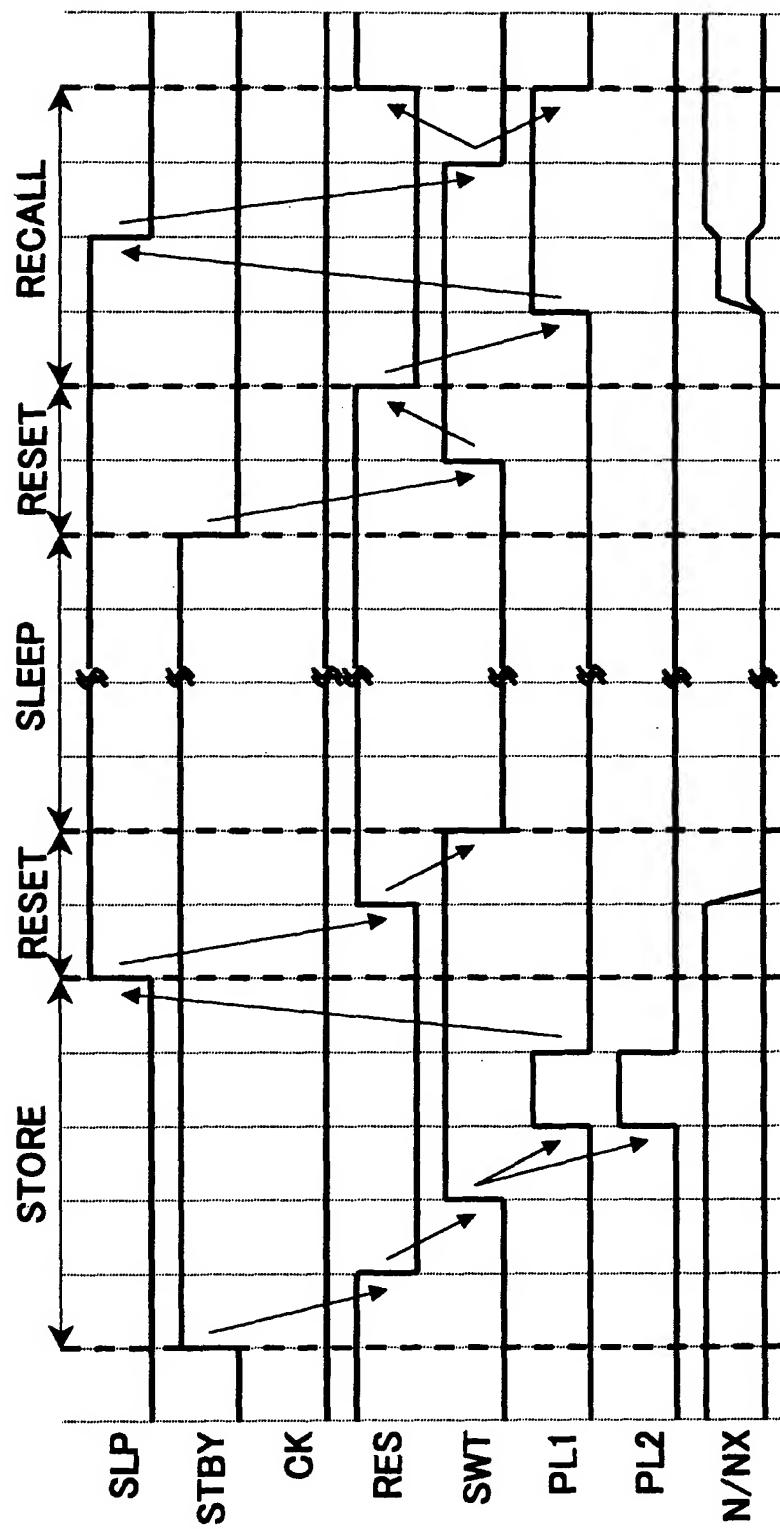
【図13】



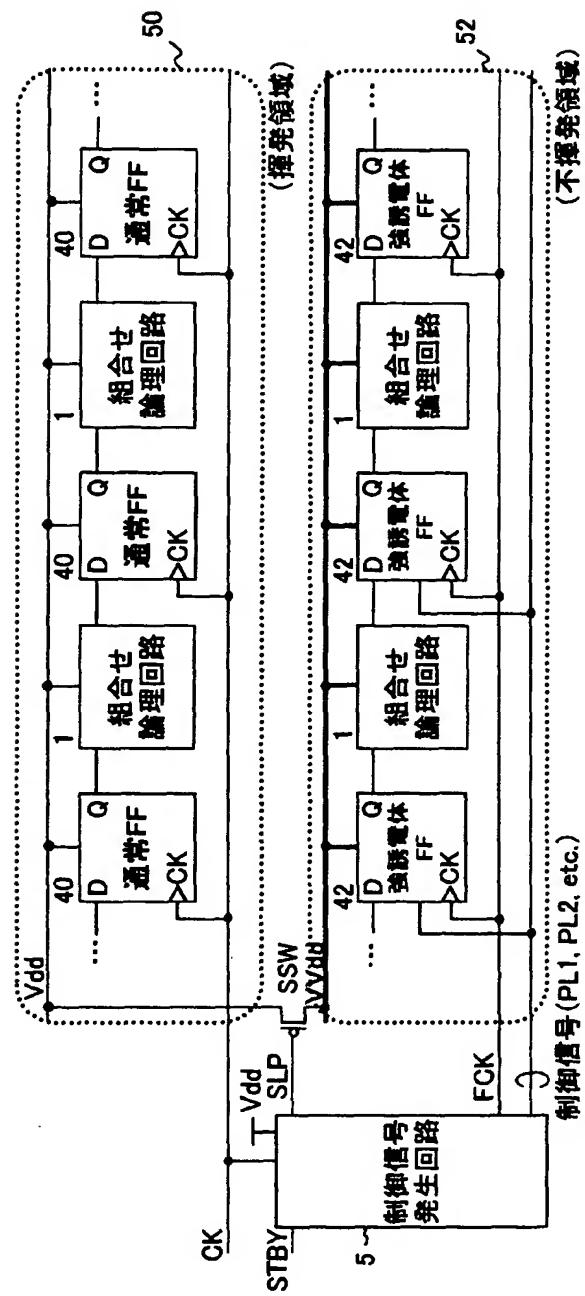
【図14】



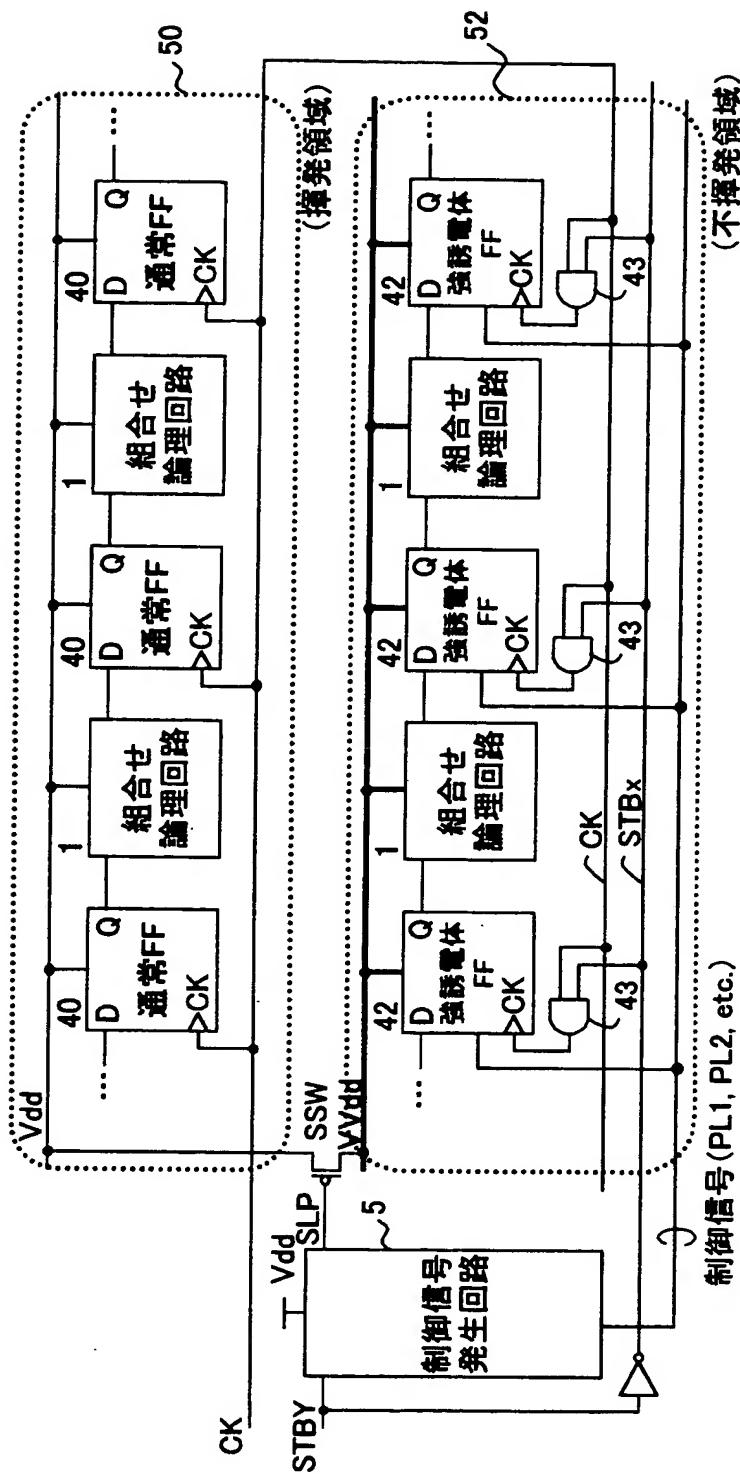
【図15】



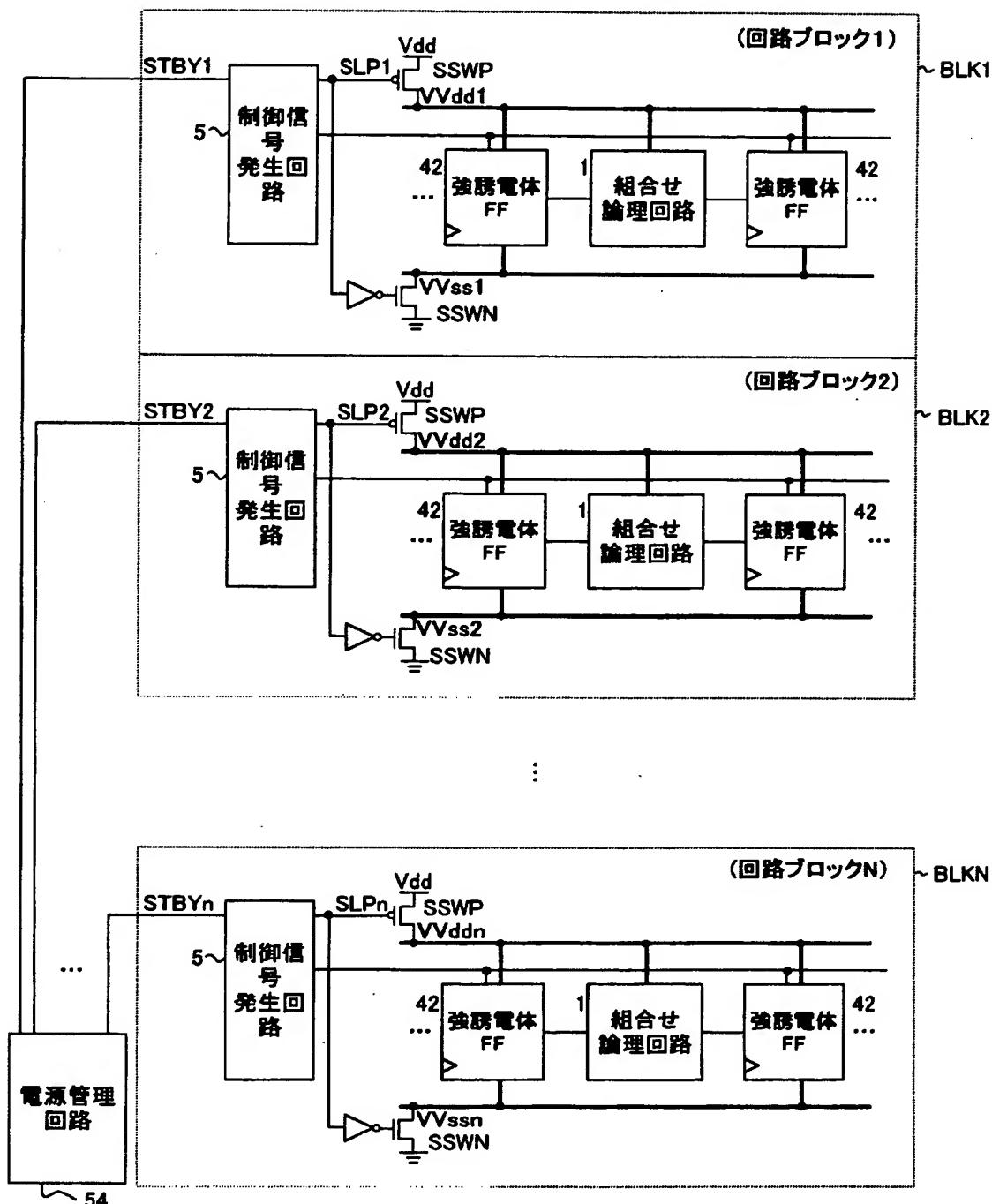
【図16】



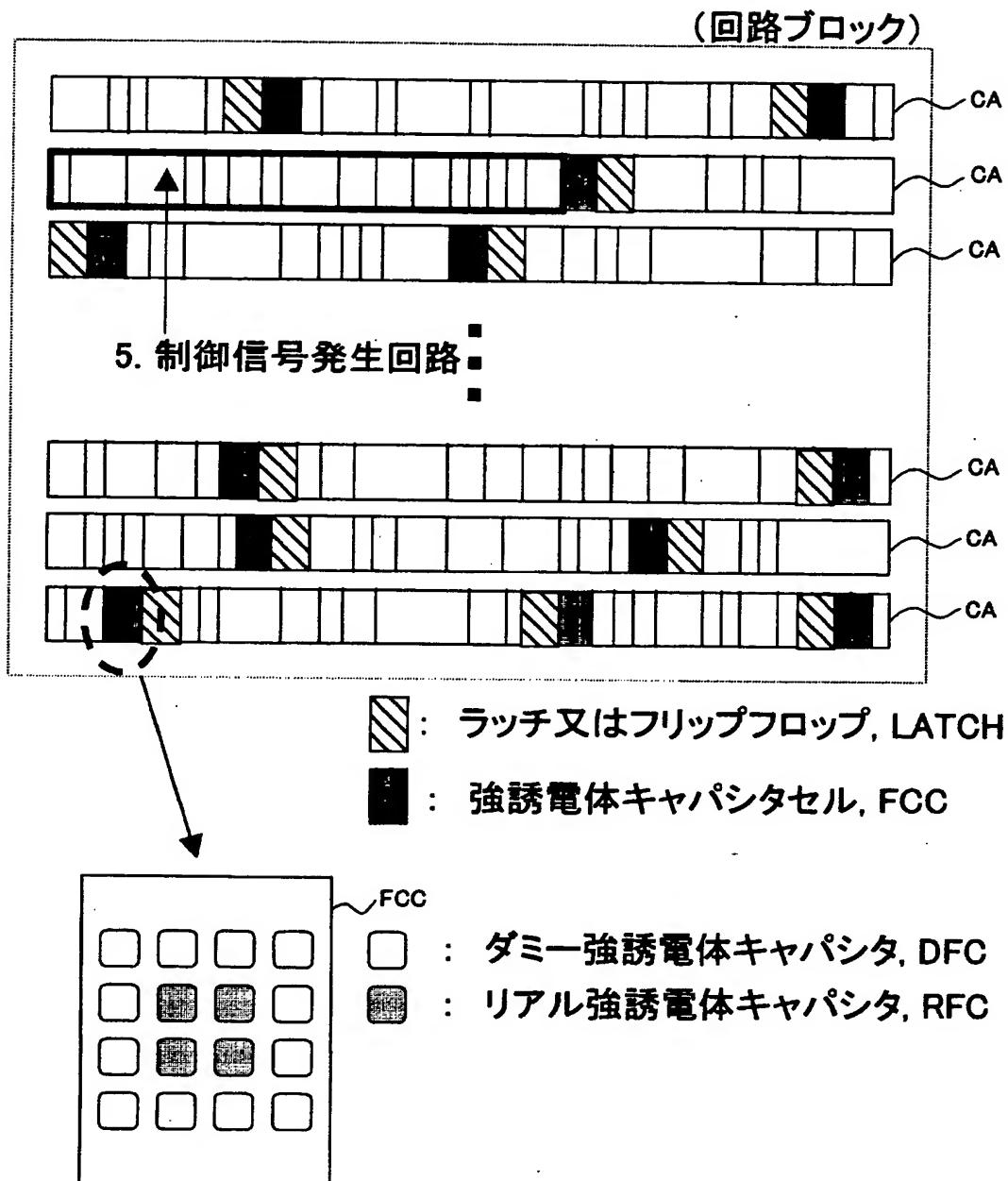
【図17】



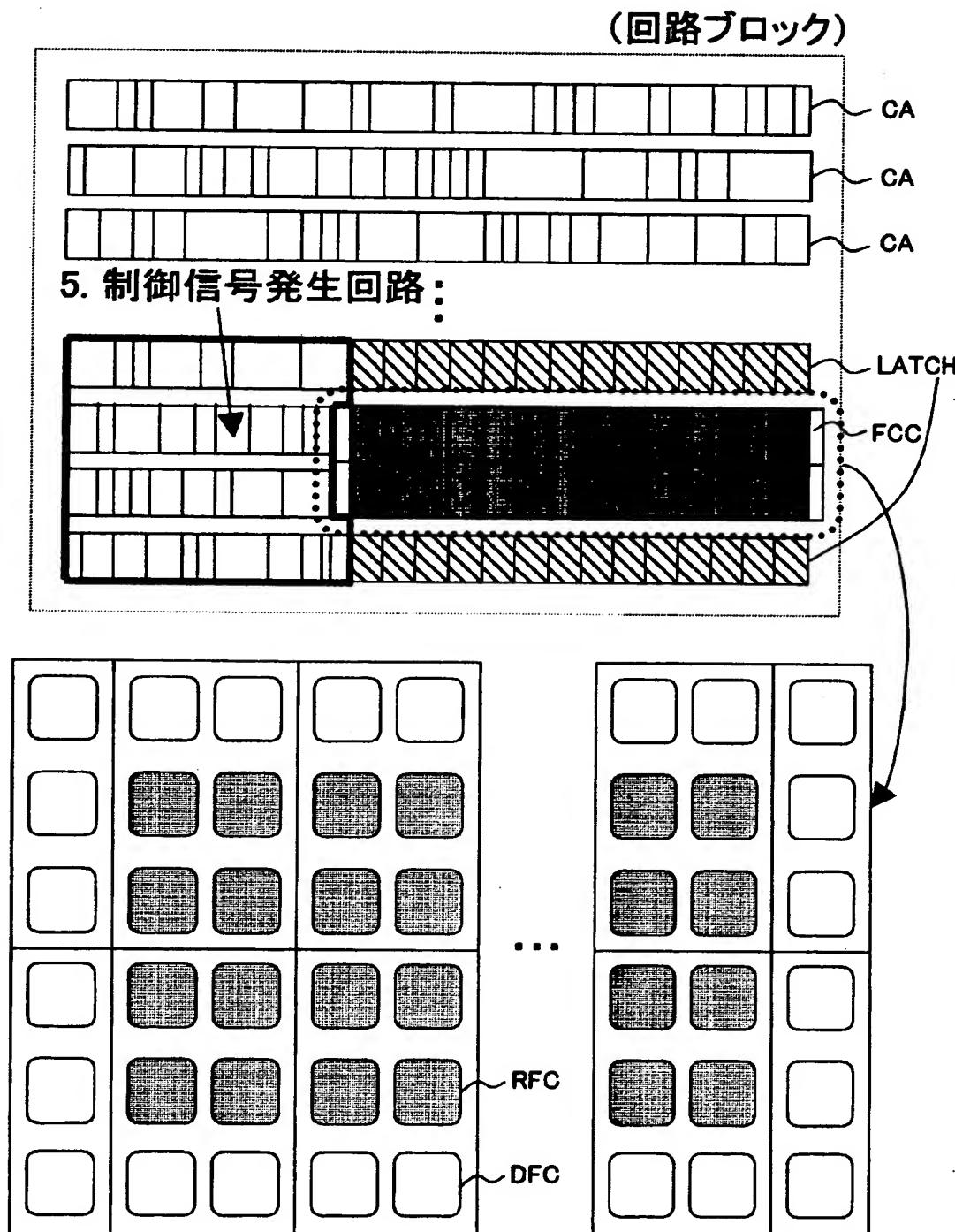
【図18】



【図19】



【図20】



【書類名】

要約書

【要約】

【課題】 MTCMOSの集積回路装置において、電源配線を簡単化し、集積度を高くする。また、スリープモードから復帰するときのラッチ回路の動作を安定させる。

【解決手段】 通常電源配線Vddとバーチャル電源配線VVddとの間に設けられ、高い閾値電圧トランジスタで構成され、スリープモード時に非導通になるスリープスイッチSSWを有する集積回路装置において、更に、バーチャル電源配線VVddに接続され、低い閾値電圧トランジスタで構成されるラッチ回路14と、ラッチ回路が保持するデータを記憶する強誘電体キャパシタとを有する。そして、制御信号発生回路5が、スリープモードからアクティブモードに復帰するときに、強誘電体キャパシタの端子を駆動して分極方向に応じてラッチ回路に電圧を生成するプレート信号PLと、その駆動された後にスリープスイッチSSWを導通させてラッチ回路14を活性化させるスリープ信号SLPとを生成する。つまり、スリープスイッチSSWが、スリープ制御とラッチ回路の活性化制御とを行う。

【選択図】 図9

出願人履歴情報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号  
氏 名 富士通株式会社